

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Substantially equal to a semiconductor chip in a dimension in X and Y directions except in a direction of thickness. The resin-encapsulated semiconductor device in accordance with the present invention means a semiconductor device employing a lead frame among the defined CSP type semiconductor device.

In the CSP type semiconductor device described above, the terminal portions made of solder are formed on each of the terminal columns and is externally exposed from the encapsulating resin, but the terminal portions do not necessarily need to be protruded from the encapsulating resin. Moreover, if necessary, the outside face of each terminal column which is exposed externally from the encapsulating resin may be covered with a protective frame by means of an adhesive.

#### [FUNCTIONS]

The resin-encapsulated semiconductor device in accordance with the present invention can meet a demand for an increase in the number of terminals and has a miniaturized structure and thus an increased mounting efficiency. At this time, in the resin-encapsulated semiconductor device, as the removal process of the dam bars by press working or the forming process of the outer leads as in the case of using a mono-layered lead frame

shown in Fig. 11b is not required, there is no problem such as bending or coplanarity of the outer leads due to this process. More particularly, the use of a multipinned lead frame shaped in a manner that inner leads have a thickness smaller than that of the lead frame blank by a two-step etching process, that is, the inner leads are arranged at a fine pitch, can meet a demand for an increase in the pin number of the semiconductor device. Moreover, as the resin-encapsulated semiconductor device is fabricated in such a manner that it is equal to that of a semiconductor chip in size, it can be miniaturized. In addition, each of the inner leads fabricated by a two-step etching process as shown Fig. 8 has a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead. Thus, the second surface of each inner lead is flat, and is excellent in wire-bonding property. Moreover, as the first surface of each inner lead is flat and the third and fourth surfaces of the inner leads each have a concave shape depressed toward the inside of the inner

(19) 日本国税厅 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公報卷9

特開平9-8207

(43) 公開日 平成9年(1997)1月10日

(S1) 1st L. C.L.  
NOIL 23/50  
21/80  
23/28

识别号码 厅内直管帐号

FI  
NOIL 23/80  
21/60 381  
13/21

技術表示圖所

審査請求 未認定 検査官の意見 ER (会員登録)

(21) 出版地号 特种平7-176898  
(22) 出版日 1986.6.21 日

(71) 出版人 000002897  
大日本印刷株式会社  
東京都新宿区市谷加賀町一丁目1番1号

(72) 著明者 山田 雄一  
東京都新宿区市谷加賀町一丁目1番1号  
大日本印刷株式会社内

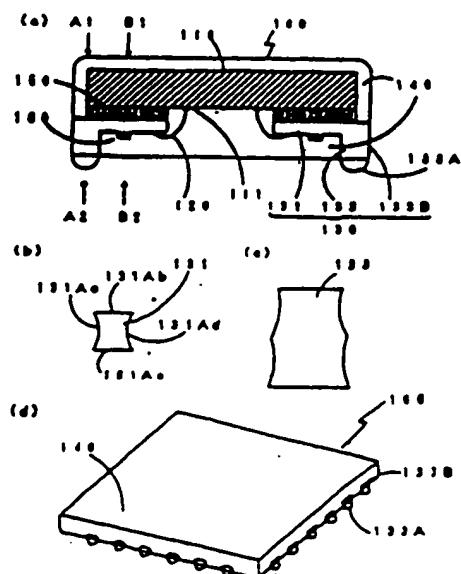
(72) 著明者 佐々木 貞  
東京都新宿区市谷加賀町一丁目1番1号  
大日本印刷株式会社内

(74) 代理人 長尾士 小原 乾

### (34) (8月の会員) 深度に対する年齢

卷之三

【目的】 リードフレームを用いた耐湿耐熱性半導体基板であって、多端子化に対応できて実用性の高いものを構成する。



## 【特許請求の範囲】

【請求項1】 2段エッティング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄く加工されたリードフレームを用い、外径寸法をほぼ半導体電子に合わせて封止用断面により複数封止したCSP (CHIPSIZE Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、インナーリードに一体的に形成したリードフレーム素材と同じ厚さの外部断面と形成するための柱状の電子柱とを有し、且つ、電子柱はインナーリードの外周側においてインナーリードに対して厚み方向に偏位し、かつ半導体電子部断面と反対側に抜けられており、電子柱の先端部に半円形からなる電子部を抜け、電子部を封止用断面部から露出させ、電子柱の外周側の断面を封止用断面部から露出させており、半導体電子は、半導体電子の電極部を有する面にて、インナーリード部に絶縁接着剤を介して搭載されており、半導体電子の電極部はインナーリード間に抜けられ、半導体電子部断面とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とする複数封止型半導体装置。

【請求項2】 2段エッティング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外径加工されたリードフレームを用い、外径寸法をほぼ半導体電子に合わせて封止用断面により複数封止したCSP (CHIPSIZE Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、インナーリードに一体的に形成したリードフレーム素材と同じ厚さの外部断面と形成するための柱状の電子柱とを有し、且つ、電子柱はインナーリードの外周側においてインナーリードに対して厚み方向に偏位し、かつ半導体電子部断面と反対側に抜けられており、電子柱の先端部の一部を封止用断面部から露出させて電子部とし、電子柱の外周側の断面を封止用断面部から露出させており、半導体電子は、半導体電子の電極部を有する面にて、インナーリード部に絶縁接着剤を介して搭載されており、半導体電子の電極部はインナーリード間に抜けられ、半導体電子部断面とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とする複数封止型半導体装置。

【請求項3】 請求項1ないし2において、リードフレームはダイパッドを有しており、半導体電子はその電極部をインナーリード部とダイパッド部との間に設けていることを特徴とする複数封止型半導体装置。

【請求項4】 2段エッティング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外径加工されたリードフレームを用い、外径寸法をほぼ半導体電子に合わせて封止用断面により複数封止したCSP (CHIPSIZE Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材

よりも薄肉のインナーリードと、インナーリードに一体的に形成したリードフレーム素材と同じ厚さの外周断面と形成するための柱状の電子柱とを有し、且つ、電子柱はインナーリードの外周側においてインナーリードに対して厚み方向に偏位し、かつ半導体電子部断面と反対側に抜けられており、電子柱の先端部に半円形からなる電子部を抜け、電子部を封止用断面部から露出させ、電子柱の外周側の断面を封止用断面部から露出させており、半導体電子は、半導体電子の一部に抜けられたパンプを介してインナーリード部に形成され、半導体電子とインナーリード部とが電気的に接続していることを特徴とする複数封止型半導体装置。

【請求項5】 2段エッティング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外径加工されたリードフレームを用い、外径寸法をほぼ半導体電子に合わせて封止用断面により複数封止したCSP (CHIPSIZE Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、インナーリードに一体的に形成したリードフレーム素材と同じ厚さの外周断面と形成するための柱状の電子柱とを有し、且つ、電子柱はインナーリードの外周側においてインナーリードに対して厚み方向に偏位し、かつ半導体電子部断面と反対側に抜けられており、電子柱の先端の一部を封止用断面部から露出させて電子部とし、電子柱の外周側の断面を封止用断面部から露出させており、半導体電子は、半導体電子の一部に抜けられたパンプを介してインナーリード部に形成され、半導体電子とインナーリード部とが電気的に接続していることを特徴とする複数封止型半導体装置。

【請求項6】 請求項1ないし5において、インナーリードは、断面形状が端面で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一万倍と同一平面上にあって第2面に向いて凹んだ形状に形成されていることを特徴とする複数封止型半導体装置。

## 【発明の実施例及び技術的背景】

## 【0001】

【背景上の技術分野】 本発明は、半導体電子の多機能化に対応して、且つ、実用性の高い小型化が可能な複数封止型半導体装置に於けるもので、特に、エッティング加工により、インナーリード部をリードフレーム素材の厚さよりも薄肉に外径加工したリードフレームを用いた複数封止型半導体装置に関するもの。

## 【0002】

【背景の説明】 現在より用いられている複数封止型の半導体装置（プラスチックリードフレームパッケージ）は、一概に電子部（a）に示されるような構造であり、半導体電子（1）を封止するダイパッド部（11）や

周囲の回路との電気的接続を行うためのアワーリード部 1113、アワーリード部 1113 に一体となったインナーリード部 1112、インナーリード部 1112 の先端部と半導体素子 1120 の電極パッド 1121 とを電気的に接続するためのワイヤ 1130、半導体素子 1120 を封止して外界からの応力、荷重から守る樹脂 1140 等からなっており、半導体素子 1120 をリードフレームのダイパッド 1111 部等に接続した後に、樹脂 1140 により封止してパッケージとしたもので、半導体素子 1120 の電極パッド 1121 に対応できる数のインナーリード 1112 を必要とするものである。そして、このような樹脂封止型の半導体装置の組立部材として用いられる（本層）リードフレームは、一般には図 11 (b) に示すような構造のもので、半導体素子を接続するためのダイパッド 1111 と、ダイパッド 1111 の周囲に抜けられた半導体素子と接続するためのインナーリード 1112、インナーリード 1112 に通して外露回路との接続を行うためのアワーリード 1113、樹脂封止する層のゲムとなるゲムバー 1114、リードフレーム 1110 全体を支撐するアーチバー (a) 部 1115 等を備えており、通常、コバルト、42 合金 (42%ニッケル-8%鉄)、鋼系を主のようないか電性に仕れた金属を用い、プレス等もしくはエッチング法により形成されていた。

(0003) このようなリードフレームを利用した樹脂封止型の半導体装置（プラスチックリードフレームパッケージ）においても、電子部品の高集成化の実現と半導体素子の高集成化にはい、小型高密度かつ多面素子の増大化が図られて、その結果、樹脂封止型半導体装置、特に QFP (Quad Flat Package) 及び TQFP (Thin Quad Flat Package) 等では、リードの多ビン化が苦しくなってきた。上記の半導体装置に用いられるリードフレームは、無線なものはフォトリソグラフィー技術を用いたエッチング加工方法により作成され、無線でないものはプレスによる加工方法による作成されるのが一般的であったが、このような半導体装置の多ビン化にはい、リードフレームにおいても、インナーリード部先端の電極化が込み、また、無線なものに対しては、プレスによるリードフレーム部材の板厚が 0.25 mm 程度のものを用い、エッチング加工で対応してさ、このエッチング加工方法の工程について以下、図 10 に基づいて簡単に述べておく。先ず、無線もしくは 42%ニッケル-8%鉄をからなる層を 0.25 mm 程度の板厚 (リードフレーム素材 1010) を十分焼成 (図 10 (a)) した後、重クロム酸カリウムを感光剤とした水溶性カゼインレジスト等のフォトレジスト 1020 を該板の裏面側に一層塗布する。(図 10 (b)) 次いで、所定のパターンが形成されたマスクを介して高圧水噴射でレジスト等を除去した後、所定の裏面側では

感光レジストを残して (図 10 (c))、レジストパターン 1030 を形成し、後段処理、洗浄処理等を必要に応じて行い、重クロム酸水溶液を三たる成分とするエッチング液にて、スプレイにて該板 (リードフレーム素材 1010) に吹きかけ所定の形状にエッチングし、裏面をせら。(図 10 (d))

次いで、レジスト膜を表面処理し (図 10 (e))、焼成後、所定のリードフレームをはて、エッチング加工工程を経たする。このように、エッチング加工等によって作成されたリードフレームは、更に、所定のエリアに銅メキシ等が施される。次いで、焼成、銅めき等の処理を経て、インナーリード部を固定用の接着剤等をボリミドテープにてテープング処理したり、必要に応じて所定の量タブ吊りバーを曲げ加工し、ダイパッド部をダウンセットする処理を行う。しかし、エッチング加工方法においては、エッチング液による露出は該加工液の板厚方向の端に端端 (端) 方向にも達むため、その簡便化加工にも限界があるのが一般的で、図 10 に示すように、リードフレーム素材の両面からエッチングするため、ラインアンドスペース形状の場合、ライン間隔の加工限度幅は、板厚の 5.0 ~ 10.0% 程度とされている。又、リードフレームの加工性のアワーリードの板厚を考えた場合、一般的には、その板厚は約 0.125 mm 以上必要とされている。この点、図 10 に示すようなエッチング加工方法の場合、リードフレームの板厚を 0.15 mm ~ 0.125 mm 程度まで薄くすることにより、ワイヤボンディングのための必要な板厚は 7.0 ~ 8.0% とし、0.165 mm ピッチ程度の難航なインナーリード部先端のエッチングによる加工を実現してきたが、これが限界とされていた。

(0004) しかしながら、近年、樹脂封止型半導体装置は、小パッケージでは、電極端子であるインナーリードのピッチが 0.165 mm ピッチを越えて、既に 0.15 ~ 0.13 mm ピッチまでの良ピッチ化要求がでてきただると、エッチング加工において、リードフレームの板厚を薄した場合には、アセンブリ工程や実装工程といった段階におけるアワーリードの板厚問題が厳しいという点から、既にリードフレームの板厚を薄くしてエッチング加工を行う方法にも限界が出てきた。

(0005) これに対応する方法として、アワーリードの板厚を確保したまま簡便化を行う方法で、インナーリード部分をハーフエッチングもしくはプレスにより薄くしてエッチング加工を行う方法が提案されている。しかし、プレスにより薄くしてエッチング加工をおこなう場合には、該工程においての板厚が不足する（例えば、のっせエリアの平坦化）、ボンディング、モールディング時のクラシップに必要なインナーリードの板厚度、サルトリズムが限界とされ、板厚をこぼすなればならぬ多面接合が複雑になる、等の難点が多くある。そして、インナーリード部分をハーフエッチングにより薄く

してエッティング加工を行う方法の場合にも、部品を2次元で行なわなければならず、部品加工が複雑になるという問題があり、いずれも実用化には、まだ至っていないのが現状である。

(0006)

【発明が解決しようとする課題】一方、電子部品の複雑化の歴史には、半導体パッケージにおいても、小型で実用性が高いものが求められるようになってきて、外端子をほぼ半導体電子に合わせて、封止用樹脂により樹脂封止したCSP (Chip Size Package) と言われるパッケージが販売されるようになってきた。CSPを使う恩恵を以下に簡単に述べる。

①第一にピン数が同じなら、QFP (Quad Flat Package) やBGA (Ball Grid Array) に比べ実装面積を格段に小さくできる。  
②第二に、パッケージ寸法が同じならQFPやBGAよりもピン数を多くとれる。QFPについては、パッケージや基板の反りを考慮すると、実用的に使える寸法は最大4.0mm角であり、アウターリードピッチが0.5mmピッチのQFPでは304ピンが限界となる。さらにピン数を増やすためには、0.4mmピッチや0.3mmピッチが必要となるが、この場合には、ユーバグが実用性の高い実装（一括リフロー・ハンダ付け）を行うのが難しくなってくる。一般にはQFPの製造に関してはアウターリードピッチが0.3mmピッチ以下ではコストを上げずに実現するのは困難と言われている。BGAは、上記QFPの限界を打破するものとしない日を始めたもので、外端子を二次元アレイ化にし、外端子ピッチを広げることで実装の実用性を実現しようとするものである。BGAの場合、外端子が300ピンを超える領域でも、従来通りの一括リフロー・ハンダ付けはできるが、3.0mm~4.0mm角になると、基板サイクルによって外端子のハンダ・パンプにクラックが入るため、600ピン~700ピン、最大でも1000ピンが実用の限界と一般には言われている。外端子をパッケージ裏面に二次元アレイにかけたCSPの場合には、BGAのコンセプトを引き継ぎ、且つ、アレイ状の端子ピッチを増やすことが可能となる。また、BGA同様、一括リフロー・ハンダ付けが可能である。

③第三に、QFPやBGAに比べるとパッケージ内部の配線長が短くなるため、寄生容量が小さくなり伝達速度時間が短くなる。LSIクロック周波数が1.00MHzを越えるようになると、QFPではパッケージ内の距離が問題になってしまう。内部配線長を短くしたCSPの方が有利である。しかしながら、CSPは実装面でに優れるものの、多端子化に対しては、端子のピッチをさらに詰めることが必ずしも、この面での限界がある。本発明は、このような状況のもと、リードフレームを用いた樹脂封止型半導体部品において、多端子化に対応でき、且つ、一角の小型化に付随してさらなる実装面積を短縮

しようとするものである。

(0007)

【課題を解決するための手段】本発明の樹脂封止型半導体部品は、2次エッティング加工によりインナーリードの厚さがリードフレームよりよりも薄くに外側加工されたリードフレームを用い、外端子をほぼ半導体電子に合わせて封止用樹脂により樹脂封止したCSP (Chip Size Package) 型の半導体部品であって、前記リードフレームは、リードフレームよりよりも薄いインナーリードと、該インナーリードに一体的に形成したリードフレーム素材と同じ厚さの外端部と接続するための端子部とを有し、且つ、端子部はインナーリードの外端側においてインナーリードに対して厚み方向に偏位し、かつ半導体電子部品側と反対側に抜けられており、端子部の先端面に半田膏からなる端子膏を塗け、端子部を封止用樹脂部から露出させ、端子部の外端側の側面を封止用樹脂部から露出させており、半導体電子は、半導体電子の電極部（パッド）を有する面にて、インナーリード部に端子部を介して露出されており、半導体電子の電極部（パッド）はインナーリード間に抜けられ、半導体電子部品側とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とするものである。また、本発明の樹脂封止型半導体部品は、2次エッティング加工によりインナーリードの厚さがリードフレーム素材よりよりも薄くに外側加工されたリードフレームを用い、外端子をほぼ半導体電子に合わせて封止用樹脂により樹脂封止したCSP (Chip Size Package) 型の半導体部品であって、前記リードフレームは、リードフレーム素材よりも薄いインナーリードと、該インナーリードに一体的に形成したリードフレーム素材と同じ厚さの外端部と接続するための端子部とを有し、且つ、端子部はインナーリードの外端側においてインナーリードに対して厚み方向に偏位し、かつ半導体電子部品側と反対側に抜けられており、端子部の先端面に半田膏とし、端子部の外端側の側面を封止用樹脂部から露出させており、半導体電子は、半導体電子の電極部（パッド）を有する面にて、インナーリード部に端子部を介して露出されており、半導体電子の電極部（パッド）はインナーリード間に抜けられ、半導体電子部品側とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とするものである。そして上記において、日本特許庁において、リードフレームはダイパッドを有しており、半導体電子はその電極部（パッド）をインナーリード部とダイパッド部との間に設けていることを特徴とするものである。また、本発明の樹脂封止型半導体部品は、2次エッティング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄くに外側加工されたリードフレームを用い、外端子をほぼ半導体電子に合わせて

封止用樹脂により接着封止したCSP (Chip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、はインナーリードに一体的に直結したリードフレーム素材と同じ厚さの外部側と接続するための柱状の電子柱とを有し、且つ、電子柱はインナーリードの外側面においてインナーリードに対して厚み方向に直交し、かつ半導体電子部子面と反対側に受けられており、電子柱の先端部に半田等からなる電子部を抜け、電子部を封止用樹脂部から露出させ、電子柱の外側面の側面を封止用樹脂部から露出させており、半導体電子部子は、半導体電子部子の一端を受けられたパンプを介してインナーリード部に搭載され、半導体電子部子とインナーリード部とが電気的に接続していることを特徴とするものである。また、本発明の封止用樹脂封止型半導体装置は、2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外側加工されたリードフレームを用い、外側寸法をばね等半導体電子部子に合わせて封止用樹脂により封止封止したCSP (Chip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、はインナーリードに一体的に直結したリードフレーム素材と同じ厚さの外側側と接続するための柱状の電子柱とを有し、且つ、電子柱はインナーリードの外側面においてインナーリードに対して厚み方向に直交し、かつ半導体電子部子面と反対側に受けられており、電子柱の先端部の側面を封止用樹脂部から露出させており、半導体電子部子は、半導体電子部子の一端を受けられたパンプを介してインナーリード部に搭載され、半導体電子部子とインナーリード部とが電気的に接続していることを特徴とするものである。そして上記において、インナーリードは、断面形状が四方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第2面に向かっており、第3面、第4面はインナーリードの内側に向かって凹んだ形状に形成されていることにより、インナーリード部の第2面は平坦性を確保でき、ワイヤボンディング部の良いものとしている。また第1面は平坦面で、第3面、第4面はインナーリード側に凹んでおりインナーリード部は、変形しており、且つ、ワイヤボンディングの平坦性を広くとれる。

(0008) 本発明の封止用樹脂封止型半導体装置は、半導体電子部子が、半導体電子部子の一端を受けられたパンプを介してインナーリード部に搭載され、半導体電子部子とインナーリード部とが電気的に接続していることにより、ワイヤボンディングの必要がなく、一層したボンディングを可能としている。

(0009) また、本発明の封止用樹脂封止型半導体装置は、半導体電子部子が、半導体電子部子の一端を受けられたパンプを介してインナーリード部に搭載され、半導体電子部子とインナーリード部とが電気的に接続していることにより、ワイヤボンディングの必要がなく、一層したボンディングを可能としている。

(0010) (実施例) 本発明の封止用樹脂封止型半導体装置の実施例を図にそって説明する。先ず、(実施例)を図1に示し、説明する。図1(a)は実施例1の封止用樹脂封止型半導体装置の断面図で、図1(b) (イ)は図1(a)のA1-A2におけるインナーリード部の断面図で、図1(b) (ロ)は図1(a)のB1-B2における電子柱部の断面図である。図1中、100は半導体電子部子、111は電極部(パッド)、120はワイヤ、130はリードフレーム、131はインナーリード、131A1は第1面、131A2は第2面、131A3は第3面、131A4は第4面、131A5は第5面、131A6は第6面。

133Aは電子部、133Bは側面、140は封止用樹脂、150は絕縁接着材、160は接着用テープある。本実施例1の断路封止型半導体装置においては、半導体電子110は、半導体電子の電極部（パッド）111側の面で電極部（パッド）111がインナーリード間に収まるようにして、インナーリード131に絶縁接着材150を介して固定されている。そして、電子部110は、ワイヤ120にて、インナーリード部131の先端の第2面131Abと電気的に対接されている。本実施例1の半導体装置100と外部回路との電気的な接続は、電子部133先端部に受けられた半導体の半田からなる電子部133Aを介してプリント基板等へ接続されることにより行われる。本実施例1の半導体装置100に使用のリードフレーム130は、42×ミニケル-銀合金をもつとしたもので、そして、図6(a)に示すような形状をしたエッティングにより外側に加工されたリードフレームを用いたものである。電子部133側の部分より背面にお成されたインナーリード131をもつ。ダムバー136は断路封止する際のダムとなる。尚、図6(a)に示すような形状をしたエッティングにより外側加工されたリードフレームを、本実施例においては用いたが、インナーリード部131と電子部133以外は6角形に不要なものであるから、特にこの形状に限定はされない。インナーリード部131の厚さは24.0μm、インナーリード部131以外の厚さは20.15mmでリードフレーム材料の板厚のままである。また、インナーリードピッチは0.12mmと狭いピッチで、半導体装置の多端子化に対応できるものとしている。インナーリード部131の第2面131Abは平坦状でワイヤボンディングしやすい形状となつてあり、第3面131Ac、第4面131Adはインナーリード側へ凹んだ形状をしており、第2ワイヤボンディング部を良くしても強度的に強いものとしている。尚、図6(b)は図6(a)のC1-C2における断面を示している。接着用テープ160はインナーリード部にヨレが発生しないように固定しておくものである。尚、インナーリードのヨレが大きい場合には後述図6(a)に示す形状のリードフレームをエッティング加工にして作成し、これに接続する方法により半導体電子部を接続して断路封止できるが、インナーリードが長く、インナーリードにヨレを生じる場合には図6(a)に示す形状にエッティング加工することは出来ないため、図6(c)（イ）に示すようにインナーリード先端部を電極部131Bにて固定した状態にエッティング加工した後、インナーリード131部を接着テープ160で固定し（図6(c)（ロ））、次いでプレスにて、半導体装置封止部の間に不足の連結部131Bを除去し、この位置で半導体電子部を接続して半導体装置を形成する。（図6(c)（ハ））

図6(c)（ロ）E1-E2にプレスにてめがけてる

インを示している。

【0011】次に本実施例1の断路封止型半導体装置の製造方法を図5に基づいて簡単に説明する。まず、接続するエッティング加工にて作成され、不足の部分をカッティング処理等で除去されたものを、インナーリード先端部表面が図5で上になるようにして用意した。尚、インナーリード131側の長さが長い場合には、必要に応じて、インナーリードの先端部がボリュミドテープによりチーピング固定されているものを用意する。次いで半導体電子110の電極部111側面を図5で下にして、インナーリード131間にめり、絶縁接着材150を介してインナーリード131に固定固定した。（図5(c)）

半導体電子110をリードフレーム130に固定固定した後、リードフレーム部130を半導体の上にして、半導体電子110の電極部111とインナーリード部131の先端部とをワイヤ120にてボンディング接続した。（図5(d)）

次いで、通常の封止用樹脂140で断路封止を行った。（図5(e)）

断路による封止は所定の型を用いて行うが、半導体電子110のサイズで、且つ、リードフレームの電子部の外側の面が半導体から外側へ突出した状態で封止した。次いで、不要なリードフレーム130の封止用樹脂140部から突出している部分をプレスにて切断し、電子部133をあらわすととともに電子部133の側面133Bを形成した。（図5(f)）

この時、切断されるリードフレームのラインには、切断がしやすいように、切り欠きを設けておくと良い。尚に、これらの切り欠きはエッティング時に、削せて加工しておけば手間が省ける。図6に示すリードフレーム130のダムバー136、フレーム部137等が削除される。この後、リードフレームの電子部の外側の面に半田からなる電子部133Aを作成して半導体装置を作成した。（図5(g)）

この半田からなる電子部133Aは外部回路基板と接続する間に、接続しやすいように並けてあるが時に並けなくてても良い。

【0012】本発明の半導体装置に用いられるリードフレームの製造方法を以下、図にそって説明する。図8は、本実施例1の断路封止型半導体装置に用いられたリードフレームの製造方法を説明するための、インナーリード先端部を含む電子部におけるリードフレーム断面であり、ここで作成されるリードフレームを示す平面図である図6(a)のD1-D2部の断面図における断面工場図である。図8中、810はリードフレーム本体、820は、820A、820Bにレジストバーン、830は第一の缺口部、840は第二の缺口部、850は第一の凹部、860は第二の凹部、870は平坦部、880はニッティング部である。131Aはインナーリード先端部、131Abは

インナーリードの第2匝を示す。先ず、42×1.4mmの純金金からなり、厚みが0.15mmのリードフレーム素材810の両面に、重クロム酸カリウムを感光剤とした水溶性カゼインレジストを塗布した後、所定のパターンなどを用いて、所定形状の第一の露口部830、第二の露口部840をもつレジストパターン820A、820Bを形成した。(図8(a))

第一の開口部 830 は、後のエッチング加工においてリードフレーム素材 810 をその開口部からベタ状にリードフレーム素材よりも専門に露出するためのもので、レジストの第二の開口部 840 は、インナーリード先端部の形状を形成するためのものである。第一の開口部 830 は、少なくともリードフレーム 810 のンナーリード先端部形成領域を含むが、該工場において、チーピングの工場や、リードフレームを固定するクランプ工場で、ベタ状に露出され部分的に薄くなったり部分との位置が異常になる場合があるので、エッチングを行うエリアはインナーリード先端の露出し加工部分だけにせざ大さめにとる必要がある。次いで、温度 57°C、比重 4.8 ボーメの強化第二酸化珪素を用いて、スプレー圧 2.5 レバーメートにて、レジストパターンが形成されたリードフレーム素材 810 の表面をエッチングし、ベタ状(平板状)に露出された第一の凹部 850 の露をかがリードフレーム素材の約 2/3 面に達した時点でエッチングを止めた。(図 8 (b))

上記第1回目のエッチングにおいては、リードフレーム  
素材810の周囲から同時にエッチングを行ったが、必ずしも周囲から内側にエッチングする必要はない。少なくとも、インナーリード先端部足を形成するための、所定形状の隙口部をもつレジストパターン820Bが形成された箇所から周囲によくエッチング加工を行い、周囲されたインナーリード先端部足部において、所定部エッチング加工し止めることがでれば良い。本実験例のように、第1回目のエッチングにおいてリードフレーム素材810の周囲から同時にエッチングする場合<sup>32</sup>、周囲からエッチングすることにより、は必ずする第2回目のエッチング時間を必要するため、レジストパターン820B側からのみの片側エッチングの場合と比べ、第1回目エッチングと第2回目エッチングのトータル時間が短縮される。すいで、第一の隙口部830側の形成された第一の凹部850にエッチング抵抗層880にしての耐エッチング性のあるポリメタル層ワックス(ブ・インクテック社製のエフックス、型番MR-W6)を、ダイコータ用いて、空気流し、ペタ状(平地)に形成された第一の凹部850に塗り込んだ。レジストパターン820B上にはエッチング抵抗層880に帶された状態とした。(図6(c))

エッティング感度は 800 モ、レジストバターンは 20 B 上記に示すする必要はないが、第一の凹凸は 50 を含む一組にのみ示すことに限るに、図 8 (c) に示す

すように、第一の凹部 850 とともに、第一の凹部 850 を 30°側面にエッティング抵抗層 880 を形成した、本実験例で使用したエッティング抵抗層 880 は、アルカリ耐候型のワックスであるが、基本的にエッティング抵抗性に弱いがあり、エッティング時にある程度の抵抗性のあるものが、序ましく、特に、上記ワックスに固定されず、UV 硬化型のものでも良い。このようにニッティング抵抗層 880 をインナーリード先端部の形状を対応するためのパターンが形成された面側の露むされた第一の凹部 850 に墨の込みことにより、後工程でのエッティング時に第一の凹部 850 が露出されて大きくならないようにしていふとともに、高精度なエッティング加工に対しての強制的な強度強度をしており、スプレー圧を高く (2.5 kg/cm<sup>2</sup> 以上) とすることができる。これによりエッティングが墨を方向に進行しやすくなる。この後、第2回目エッティングを行い、ベクタ (平板状) に露むされた第一の凹部 850 を形成面側からリードフレーム部材 810 をエッティングし、貫通させ、インナーリード部材 890 を形成した。(図 8 (d))

10 第1回目のエッティング加工にて作製された、リードフレーム面上に平行なエッティング完成面は平坦であるが、この面を抜む2回目はインナーリード側にへこんだ凹状である。太いて、既存、エッティング底面厚8.0μの跡を、レジスト層（レジストパターン820A、820B）の跡を削り、インナーリード先端部8.90μが露呈加工された図6（a）に示すリードフレームを14た。エッティング底面厚8.80μとレジスト層（レジストパターン820A、820B）の跡に水酸化ナトリウム水溶液により溶解除去した。

38 [0013] 例、上記のように、エッティングモニタ部に  
かけて行うエッティング加工方法を、一般には2段エッテ  
ンジング加工方法といつており、特に、微細加工に有効な加  
工方法である。本発明に用いた図6(a)、図6(b)  
に示す。リードフレーム130の周邊においては、2段  
エッティング加工方法と、バターン形状を工夫することに  
より部分的にリードフレーム部分を高くしながら外層加  
工する方法とが併行して用られている。上記の方法によ  
るインナーリード先端部131への微細加工は、第二  
の凹部860の形など、幾何学的に用いられるインナーリー  
ド先端部の形などに左右されるもので、例えば、底厚1  
を50.0μmまで高くすると、図6(c)に示す、平坦部  
W1を100.0μmとして、インナーリード先端部ピッチ  
Dが0.15mmまで微細加工可能となる。底厚1を3  
0.0μmの程度まで高くし、平坦部W1を70.0μm程度とす  
ると、インナーリード先端部ピッチDが0.12mmの程  
度まで微細加工ができるが、底厚1、平坦部W1のとり  
方次第ではインナーリード先端部ピッチDは更に長いビ  
ンディングで性能が可能となる。

〔0014〕このようにエッチング加工にて、インナーリングの内側面に凹凸が現れる。

ドのヨレが発生しにくい場合には図9 (a) に示す形状のリードフレームはあるが、インナーリードの長さが実施例1の場合に比べ長い場合にはインナーリードにヨレが生じやすい為、図6 (c) (イ) に示すように、インナーリード先端部から遮断部131Bを置いてインナーリード先端部同士を並べた形状にして形成したものを作成する加工にて供て、この後、半導体装置には不必要な端部131Bをプレス等により切断して図6 (a) に示す形状を得る。図7 (a)、図7 (b) に示すダイパッド235を有するリードフレーム230を作成する場合には、図7 (c) (イ) に示すように、インナーリード231の先端に遮断部231Bを置いてダイパッドと直接接合がった形状にエッチングにより外形加工した後、プレス等により切断しても良い。尚、図7 (b) は図7 (a) のC11-C21における断面図で、図7 (c) 中E11-E21は切れ線を示している。そして、のっさした後に切断除去すると、たまめのつり方でインナーリードをのっさする場合には、のっさの原因がなく良い品質のリードフレームが得られる。尚、前述のように、図6 (c) に示すものを切断し、図6 (a) に示す形状にするには、図6 (c) (ロ) に示すように、通常、剪断のため剪断用テープ160 (ヘリミドテープ) を使用する。図7 (c) に示すものを切断する場合も同様である。図6 (c) (ロ) の状態で、プレス等により遮断部131Bを切断除去するが、半導体電子子は、テープをつけた状態のままで、リードフレームに固定され、そのまま切断封止される。

(0015) 実施例1の半導体装置に用いられたリードフレームのインナーリード先端部131Aの断面形状は、図9 (イ) に示すようになつておる。エッティング等で遮断部131Aの幅W1は反対側の幅W2よりも若干大きくなつており、W1、W2 (約1.0mm) ともこの部分の幅を2方向で幅Wよりも大きくなつておる。このようにインナーリード先端部の断面は広くなつた形状形状であるため、図9 (ロ) に示すように、どちらの端を用いても電子子端子 (図示せず) とインナーリード先端部131Aとワイヤ120A、120Bによる接続 (ポンディング) がしやすいものとなつておるが、本実施例の場合にはエッティング断面 (図9 (ロ) (a)) をポンディング面としている。図中131Abはエッティング加工による平坦面、131Abはリードフレーム素材面、1-21A、1-21Bはのっさ部である。エッティング平坦形状がアラビの底い面であるため、図9 (ロ) の (a) の場合は、外に接続 (ポンディング) 面が使われる。図9 (ハ) は図10に示す2万形にて作成されたリードフレームのインナーリード先端部831Cと電子子端子 (図示せず) との接続 (ポンディング) を示すものであるが、この構造をインナーリード先端部931Cの断面は平底ではあるが、この部分の60万形の底にはべ大きくなつておらず、また底面とリードフレーム素材面

である。結構 (ポンディング) 面は本実施例のエッティング平坦面より劣る。図9 (ニ) はプレスによりインナーリード先端部を熱処理した後にエッティング加工によりインナーリード先端部931D、931Eを加工したもの。半導体電子子 (図示せず) との接続 (ポンディング) を示したものであるが、この場合はプレス圧縮が図に示すように平坦になつておらず、どちらの底を用いて接続 (ポンディング) しても、図9 (ニ) の (a)、(b) に示すように接続 (ポンディング) の日本定性が悪く品質的にも問題となる場合が多い。

(0016) 本に実施例1の断面封止型半導体装置の実用を示す。図2 (a) は実施例1の断面封止型半導体装置の実施例の断面図であり、図2 (c) は実施例半導体装置の外観を示すもので、図2 (c) (ロ) は下 (底) 面から見た図で、図2 (c) (イ) は正面図で、図2 (b) は図1 (a) のA1-A2に対応する位置での電子子端子の断面図である。実施例半導体装置は、実施例1の半導体装置とは電子子部133Aが異なるもので、電子子部は電子子部133の先端部を遮断140から突出したようにしており、且つ、先端部の表面には底133cが抜けられており、底を抜けた状態で表面には半田を塗抹した状態にする。そして実施するには、この底133c部を通り半田が行き渡るようとしている。実施例の半導体装置100Aは、電子子部133A以外は、実施例1の半導体装置と同じである。

(0017) 次いで、実施例2の断面封止型半導体装置を示す。図3 (a) は実施例2の断面封止型半導体装置の断面図であり、図3 (b) は図3 (a) のA3-A4におけるインナーリード部の断面図で、図3 (c) (イ) は図3 (a) のB3-B4における電子子端子の断面図である。図3中、200は半導体装置、210は半導体電子子、211は電極部 (パッド)、220はワイヤ、230はリードフレーム、231はインナーリード、231Aaは第1面、231Abは第2面、231Acは第3面、231Adは第4面、233は電子子部、233Aは電子子部、233Bは側面、235はダイパッド、240は封止用樹脂、250は遮断部等、250Aは遮断部、260は接続用テープある。本実施例2の場合も、実施例1の構造に、半導体電子子210に、半導体電子子の電極部 (パッド) 211側の面で電極部 (パッド) 211がインナーリード間に収まるようにして、インナーリード231に遮断部等250を介して遮断固定されており、電極部211は、ワイヤ220にて、インナーリード部231の先端の第2面231Abと電気的に接続されているが、リードフレームにダイパッド235を有するもので、半導体電子子210の電極部211はインナーリード部231とダイパッド235間に設けられている。また、本実施例2の場合も、実施例1と同様に、半導体装置200と内部構造との電気的な接続に、電子子部231Aaが半田に受けられた半はねの半田が

うなら電子部233Aを介してプリント基板等へ伝達されることにより行われる。本実例においては、ダイパッド235と半導体電子210を接する接点は250Aを磁気性としており、8つ、ダイパッド235と電子柱部233とはインナーリード(吊りリード)にて接続されていることにより、半導体電子にて発生した熱をダイパッドを介して外部回路へ放出させることができ。尚、接点250Aは導電性の接点と必ずしもする必要はないが、ダイパッド235を電子柱部233を介してグランドラインに接続すると、半導体電子210がノイズに強くなるとともに、ノイズを受けない接続となる。

【0018】実施例2の半導体装置に使用のリードフレーム230も、実施例1にて使用のリードフレームと同様に、42%ニッケル-鉄合金を素材としたものである。図7(a)、図7(b)に示すように、ダイパッド235を有する形状をしており、電子柱233部分より両側に形成されたインナーリード231をもつ。インナーリード部231の厚さは4.0μm、電子柱233厚さは0.15mmである。そして、インナーリードピッチは0.12mmと長いピッチで、半導体装置の多様化に対応できるものとしている。インナーリード部231の第2面231Abは平坦状でワイヤボンディングし易い形状となっており、第3面231Ac、第4面231Adはインナーリード側へ凹んだ形状をしており、第2ワイヤボンディング面を強くしても強度的に強いものとしている。また、実施例2の部品封止型半導体装置の外観は、実施例1の場合とほぼ同じ工法にて行う。

【0019】実施例2の部品封止型半導体装置の実施例としては、図2に示す実施例1の実施例の場合と同様に、電子柱233の先端部に第233C(図3(c))(口)を設け、封止用樹脂240から、突出させて、電子柱の先端部をそのまま電子柱233Aにしたしが挙げられる。

【0020】次いで、実施例3の部品封止型半導体装置を図ける。図4(a)は実施例3の部品封止型半導体装置の断面図であり、図3(b)は図4(a)のA5-A6におけるインナーリード部の断面図で、図3(c)(イ)は図3(a)のB5-B6における電子柱部の断面図である。図4中、300は半導体装置、310は半導体電子、311はバンプ、330はリードフレーム、331はインナーリード、331Abは第1面、331Abは第2面、331Acは第3面、331Adは第4面、333は電子柱部、333Aは電子柱、333Bは側面、335はダイパッド、340は封止用樹脂、360は両側用テープある。本実施例の半導体装置300の場合、実施例1や実施例2の場合と異なり、半導体電子310はバンプ311を内包し、バンプ311を複数インナーリード331に所定位置し、半導体電子310とインナーリード331とを電気的に接続するもの

である。また、本実施例3の場合、実施例1や実施例2の場合と同様に、半導体装置300と外部回路との電気的な接続は、電子柱333先端部に設けられた電子柱の半田からなる電子柱333Aを介してプリント基板等へ伝達されることにより行われる。

【0021】実施例3の半導体装置に使用のリードフレーム330も、実施例1や実施例2にて使用のリードフレームと同様に、42%ニッケル-鉄合金を素材としたもので、図6(a)、図6(b)に示すような形状をしており、リードフレーム素材と同じ厚さの電子柱部333の部分より両側に形成されたインナーリード先端部331Abをもつ。インナーリード先端部331Abの厚さは4.0μm、インナーリード先端部331Ab以外の厚さは0.15mmで、強度的には工性に充分耐えらるものとなっている。そして、インナーリードピッチは0.12mmと長いピッチで、半導体装置の多様化に対応できるものとしている。インナーリード先端部331Abの第2面331Abは平坦状でワイヤボンディングし易い形状となっており、第3面331Ac、第4面331Adはインナーリード側へ凹んだ形状をしており、第2ワイヤボンディング面を強くしても強度的に強いものとしている。また、実施例3の部品封止型半導体装置の外観も、実施例1の場合とほぼ同じ工法にて行うが、ダイパッド335に半導体電子を貼り固定した後、封止用樹脂にて部品封止する。

【0022】実施例3の部品封止型半導体装置の実施例としては、図2に示す実施例1の実施例の場合と同様に、電子柱333の先端部に第233C(図4(c))(口)を設け、封止用樹脂340から、突出させて、電子柱の先端部をそのまま電子柱333Aにしたものが挙げられる。

【0023】【発明の効果】本発明の部品封止型半導体装置は、上記のように、リードフレームを用いた部品封止型半導体装置において、多様化に対応でき、且つ、良導性良い半導体装置の実現を可能としている。本発明の部品封止型半導体装置は、これと同時に、次の図11(b)に示すアウターリードと片フリードフレームを用いた場合のようだムバーのカット工法や、ムバーの曲げ工法を必要としないため、アウターリードのスキューリングや、平面性(コープラナリティ)の問題を克服している。また、QFPやBGAに比べるとパッケージ内部の配線長が短くなるため、再生容量が小さくなり伝搬遅れ時間も短くすることを可能にしている。

#### (図面の附記)

- (図1)実施例1の部品封止型半導体装置の断面図
- (図2)実施例1の部品封止型半導体装置の実施例の外観
- (図3)実施例2の部品封止型半導体装置の断面図
- (図4)実施例3の部品封止型半導体装置の断面図
- (図5)実施例1の部品封止型半導体装置の作製工法を

## 説明するための図

〔図6〕本発明の複層封止型半導体装置に用いられるリ

ードフレームの図

〔図7〕本発明の複層封止型半導体装置に用いられるリ

ードフレームの図

〔図8〕本発明の複層封止型半導体装置に用いられるリ

ードフレームの作成方法を説明するための図

〔図9〕インナーリード先端部でのワイポンディングの

結果状態を示す図

〔図10〕従来のリードフレームのエッティング製造工場

を説明するための図

〔図11〕複層封止型半導体装置及び半周リードフレー

ムの図

〔符号の説明〕

100, 100A, 200, 300

封止型半導体装置

110, 210, 310

導体粒子

111, 211, 311

柱(パッド)

120, 220, 320

イナ

120A, 120B

イナ

121A, 121B

つま端

130, 230, 330

ードフレーム

131, 231, 331

ンナーリード

131Aa, 231Aa, 331Aa

1面

131Ab, 231Ab, 331Ab

2面

131Ac, 231Ac, 331Ac

3面

131Ad, 231Ad, 331Ad

4面

131B, 231B

柱部

133, 233, 333

子位

133A

子位

133B

面

133C

136, 236

236

137, 237

レーム(12) 図

140, 240, 340

止角部

150

複性化素44

160, 260, 360

接着テープ

235

イバッド

10 810

ードフレーム素材

820A, 820B

ジストバーン

830

一の缺口部

840

二の缺口部

850

一の凹部

70 860

二の凹部

870

柱状部

880

エッティング液沈用

920C, 920D, 920E

イナ

921C, 921D, 921E

イナ

つま端

30 931D, 931E

ンナーリード先端部

931Aa

ードフレームR44面

931Ac

イニシング面

1010

ードフレーム素材

1020

オトレジスト

40 1030

ジストバーン

1040

ンナーリード

1110

ードフレーム

1111

イバッド

1112

ンナーリード

7 8 1112A

E

E

E

E

E

E

E

E

E

E

E

E

E

E

E

E

E

E

E

E

E

E

E

E

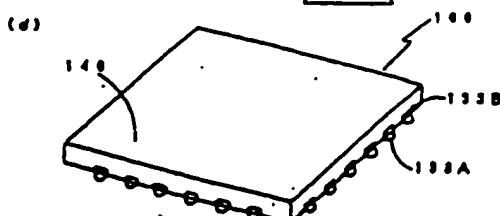
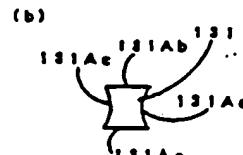
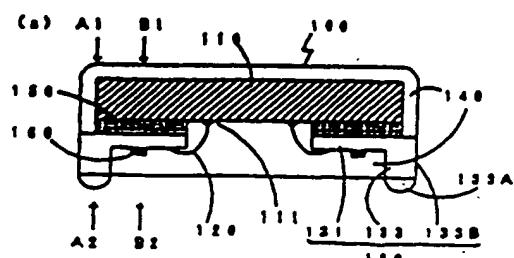
## シナーリード先端部

1113  
カーリード  
1114  
ムバー  
1115  
レーム部(枠部)  
1120

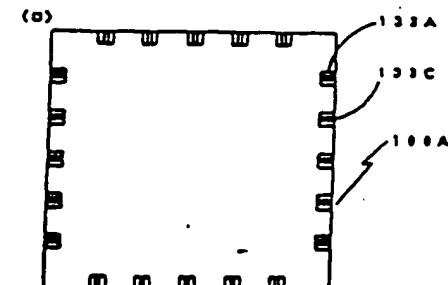
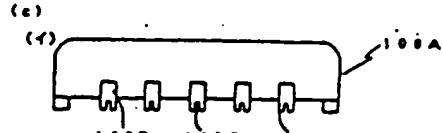
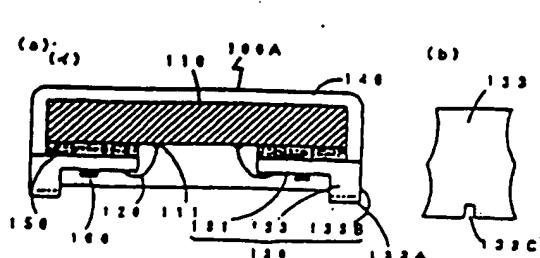
## 導体電子

7 1121  
1130  
フ イヤ  
止用所

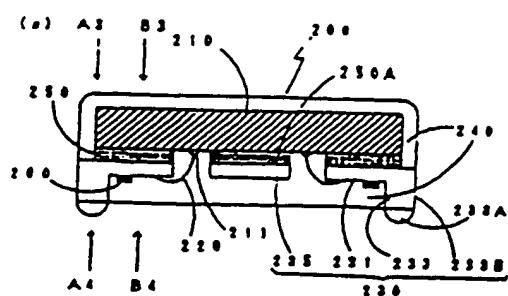
(図1)



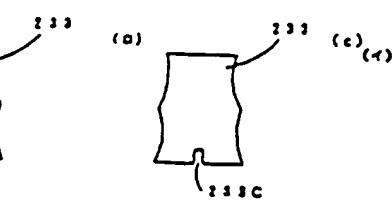
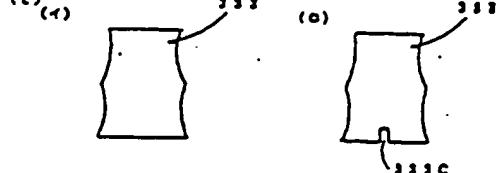
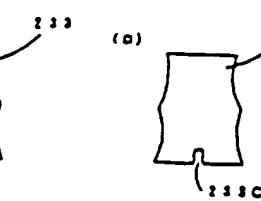
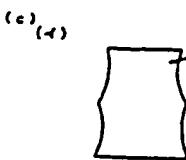
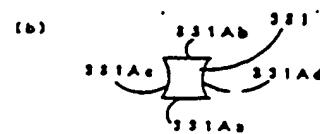
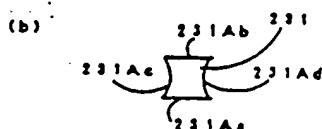
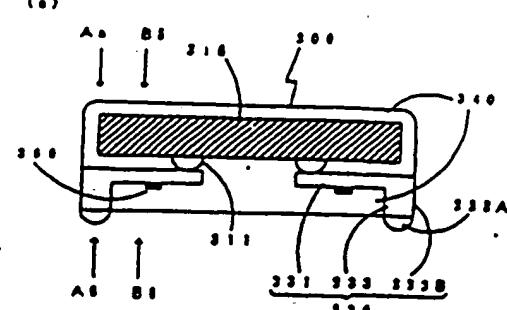
(図2)



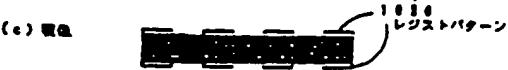
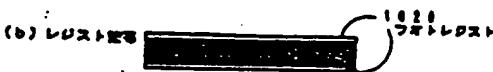
(図3)



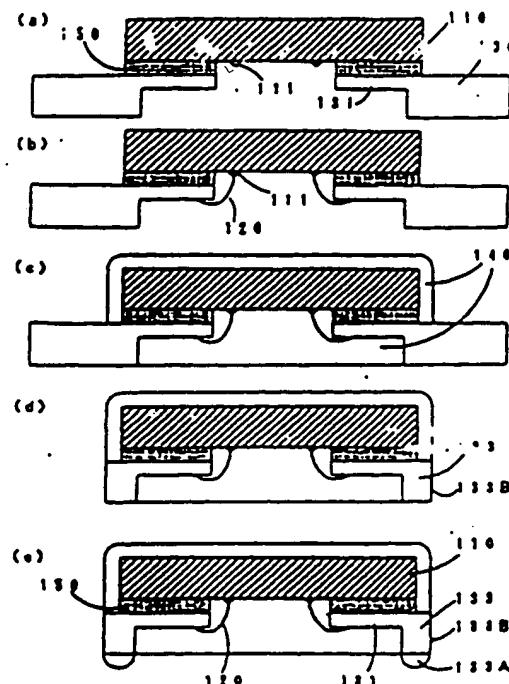
(図4)



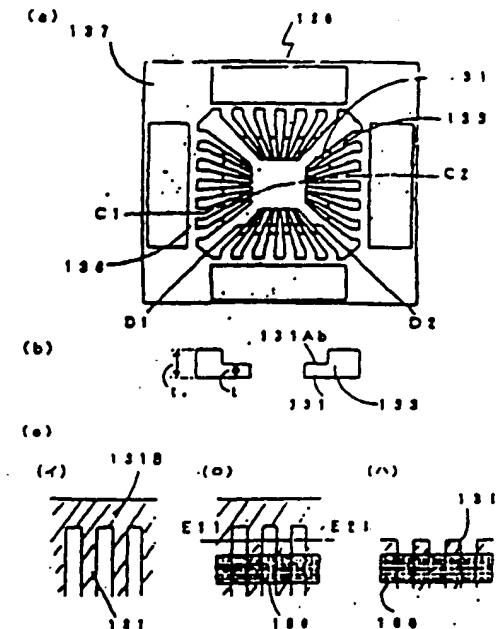
(図10)



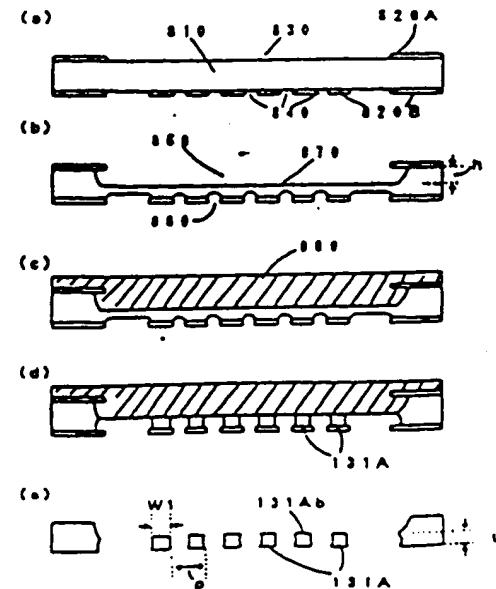
( FIG 5 )

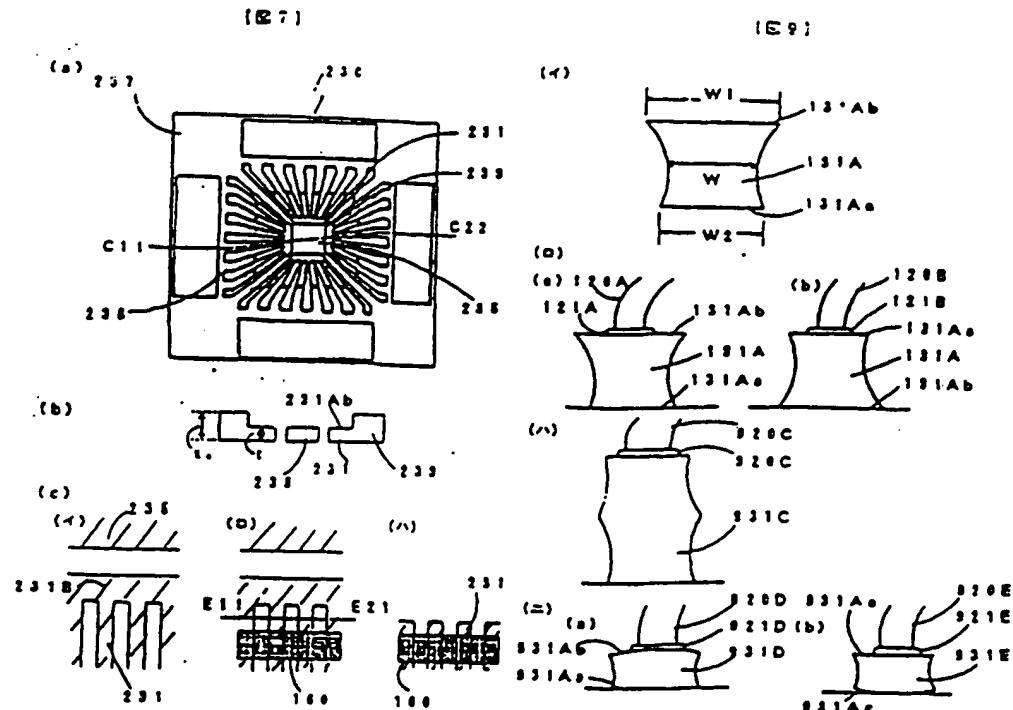


( FIG 6 )

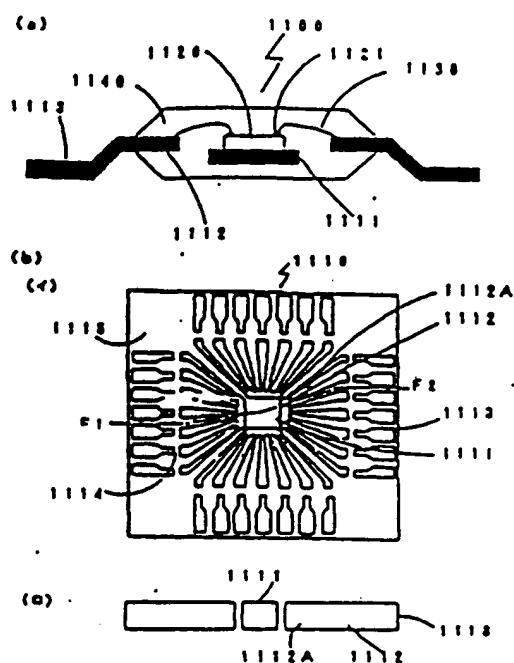


( FIG 8 )





(図11)



Japanese Patent Laid-Open Publication No. Heisei 9-8207

[TITLE OF THE INVENTION]

RESIN-ENCAPSULATED SEMICONDUCTOR DEVICE

5

[CLAIMS]

1. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:
  - 10 inner leads having a thickness smaller than that of a lead frame blank;
  - 15 terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;
  - 20 the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor chip is mounted, the terminal columns
  - 25

\*\*\*\*\* v:

having terminal portions arranged on their tips;

the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at their outer sides; and

5 the semiconductor chip at its surface having electrode portions being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being arranged between the inner leads and being electrically connected to tips of the inner leads by wires.

2. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness 15 of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

20 inner leads having a thickness smaller than that of a lead frame blank;

terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

25 the terminal columns being disposed outside of the

inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the lead frame surface on which the semiconductor chip is mounted, the terminal columns being exposed externally through the encapsulating resin at a portion of the tips thereof to serve as terminal portions, the terminal columns being exposed externally through the encapsulating resin at the outer sides thereof; and

10 the semiconductor chip at its surface having electrode portions being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being electrically connected to tips of the inner leads by wires.

15        3.        The resin-encapsulated CSP type semiconductor devices of claim 1 or 2, wherein the lead frame has a die pad, and the semiconductor chip is mounted in such a manner that electrode portions thereof are arranged between the inner leads and the die pad.

4. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner

that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

5        terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

10       the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns having terminal portions arranged on their tips;

15       the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at the outer sides thereof; and

20       the semiconductor chip being mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip being electrically connected to the inner leads.

25       5. A resin-encapsulated CSP type semiconductor

device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a

5 manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

10 terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

15 the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns being exposed externally through the encapsulating resin at 20 a portion of tips thereof to serve as terminal portions; and

25 the semiconductor chip being mounted on the inner leads by bumps arranged on one surface thereof, and the semiconductor chip being electrically connected to the inner leads.

6. The resin-encapsulated CSP type semiconductor device of any of claims 1 to 5, wherein the inner leads each have a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead.

[DETAILED DESCRIPTION OF THE INVENTION]

15 [FIELD OF THE INVENTION]

The present invention relates to a resin-encapsulated semiconductor device capable of meeting the requirement for an increase in the number of terminals and having a miniaturized structure and thus an excellent mounting efficiency. More particularly, the present invention relates to a resin-encapsulated semiconductor device utilizing a lead frame shaped in a manner that an inner lead portion is thinner in a thickness than a lead frame blank.

[DESCRIPTION OF THE PRIOR ART]

Fig. 11a shows the configuration of a generally known resin-encapsulated semiconductor device (a plastic lead frame package). The shown resin-encapsulated semiconductor device includes a die pad 1111 having a semiconductor chip 1120 mounted thereon, outer leads to be electrically connected to the associated circuits, inner leads 1112 formed integrally with the outer leads 1113, bonding wires 1130 for electrically connecting the tips of the inner leads 1112 to the bonding pad 1121 of the semiconductor chip 1120, and a resin encapsulating the semiconductor chip 1120 to protect the semiconductor chip 1120 from external stresses and contaminants. This resin-encapsulated semiconductor device, after mounting the semiconductor device 1120 on the bonding pad 1121, is manufactured by encapsulating the semiconductor chip 1120 with the resin. In this resin-encapsulated semiconductor device, the number of the inner leads 1112 is equal to that of the bonding pads 1121 of the semiconductor chip 1120. And, Fig. 11b shows the configuration of a monolayer lead frame used as an assembly member of the resin-encapsulated semiconductor device shown in Fig. 11a. Such a lead frame includes the bonding pad 1111 for mounting the semiconductor chip, the inner leads 1112 to be electrically connected to the semiconductor device, the outer lead 1113 which is integral

with the inner lead 1112 and is adapted to be electrically connected to the associated circuits. This also includes dam bars serving as a dam when encapsulating the semiconductor device with the resin, and a frame serving to support the entire lead frame 1110. Such a lead frame is formed from a highly conductive metal such as a cobalt, 42 alloy(a 42% Ni-Fe alloy), copper-based alloy by a pressing working process or an etching process.

Recently, there has been growing demand for the miniaturization and reduction in thickness of resin-encapsulated semiconductor device employing lead frames like the lead frame 1110(plastic lead frame package) and the increase of the number of terminals of resin-encapsulated semiconductor package as electronic apparatuses are miniaturized progressively and the degree of the integration of semiconductor device increase progressively. Thus, recent resin-encapsulated semiconductor package, particularly quad plate package(QFPs) and thin quad flat packages (TQFPs) have each a greatly increased number of pins.

Lead frames having inner leads arranged at small pitches among lead frames for semiconductor packages are fabricated by a photolithographic etching process, while lead frames having inner leads arranged at comparatively large pitches among lead frames for semiconductor packages

are fabricated by press working. However, lead frames having a large number of fine inner leads to be used for forming semiconductor packages having a large number of pins are fabricated by subjecting a blank of a thickness on the order of 0.25 mm to an etching process, not a press working.

The etching process for forming a lead frame having fine inner leads will be described hereinafter with reference to Fig. 10. First a copper alloy or 42 alloy thin sheet 1010 of a thickness on the order of 0.25 mm (blank for a lead frame) is cleaned perfectly (Fig. 10a). Then, a photoresist, such as a water-soluble casein photoresist containing potassium dichromate as a sensitive agent, is spread in photoresist films 1020 over the major surfaces of the thin film as shown in Fig. 10b. Then, the photoresist films are exposed, through a mask of a predetermined pattern, to light emitted by a high-pressure mercury lamp, and the thin sheet is immersed in a developer for development to form a patterned photoresist film 1030 as shown in Fig. 10c. Then, the thin sheet is subjected, when need be, to a hardening process, a washing process and such, and then an etchant containing ferric chloride as a principal component is sprayed against the thin sheet 1010 to etch through portions of the thin sheet 1010 not coated with the patterned photoresist films 1020 so that inner

leads of predetermined sizes and shapes are formed as shown in Fig. 10d.

Then, the patterned resist films are removed, the patterned thin sheet 1010 is washed to complete a lead frame having the inner leads of desired shapes as shown in Fig. 13e. Predetermined areas of the lead frame thus formed by the etching process are silver-plated. After being washed and dried, an adhesive polyimide tape is stuck to the inner leads for fixation, predetermined tab bars are bent, when need be, and the die pad depressed. In the etching process, the etchant etches the thin sheet in both the direction of the thickness and directions perpendicular to the thickness, which limits the miniaturization of inner lead pitches of lead frames. Since the thin sheet is etched from both the major surfaces as shown in Fig. 10 during the etching process, it is said, when the lead frame has a line-and-space shape, that the smallest possible intervals between the lines are in the range of 50 to 100% of the thickness of the thin sheet. From the viewpoint of forming the outer lead having a sufficient strength, generally, the thickness of the thin sheet must be about 0.125 mm or above. Furthermore, the width of the inner leads must be in the range of 70 to 80  $\mu$ m for successful wire bonding. When the etching process as illustrated in Fig. 10 is employed in fabricating a lead frame, a thin sheet of a small

thickness in the range of 0.125 to 0.15 mm is used and inner leads are formed by etching so that the fine tips thereof are arranged at a pitch of about 0.165 mm.

However, recent miniature resin-encapsulated 5 semiconductor package requires inner leads arranged at pitches in the range of 0.013 to 0.15 mm, far smaller than 0.165 mm. When a lead frame is fabricated by processing a thin sheet of a reduced thickness, the strength of the outer leads of such a lead frame is not large enough to 10 withstand external forces that may be applied thereto in the subsequent processes including an assembling process and a chip mounting process. Accordingly, there is a limit to the reduction of the thickness of the thin sheet to enable the fabrication of a minute lead frame having fine 15 leads arranged at very small pitches by etching.

An etching method previously proposed to overcome such difficulties subjects a thin sheet to an etching process to form a lead frame after reducing the thickness of portions of the thin sheet corresponding to the inner leads of the 20 lead frame by half etching or pressing to form the fine inner leads by etching without reducing the strength of the outer leads. However, problems arise in accuracy in the subsequent processes when the lead frame is formed by etching after reducing the thickness of the portions 25 corresponding to the inner leads by pressing; for example,

the smoothness of the surface of the plated areas is unsatisfactory, the inner leads cannot be formed in a flatness and a dimensional accuracy required to clamp the lead frame accurately for bonding and molding, and a platemaking process must be repeated twice making the lead fabricating process intricate. It is also necessary to repeat a platemaking process twice when the thickness of the portions of the thin sheet corresponding to the inner leads is reduced by half etching before subjecting the thin sheet to an etching process for forming the lead frame, which also makes the lead frame fabricating process intricate. Thus, this previously proposed etching method has not yet been applied to practical lead frame fabricating processes.

15

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

Meanwhile, there has been growing demand for the miniaturization and increase in the mounting efficiency of the semiconductor package as electronic apparatuses are miniaturized progressively. Thus, a package, so called "CSP" (Chip Size Package) is proposed which is encapsulated with a resin in such a manner that its size is substantially equal to that of the semiconductor chip. The CSP has the following advantages.

25

- 1) First, where the number of pins of the CSP is equal

to that of QFP (Quad Flat Package) or BGA (Ball Grid Package), the CSP enables a remarkable reduction in the mounting area as compared to the QFP or BGA.

2) Second, if the CSP is equal to the QFP or BGA in size, the CSP is increased in the pin number over the QFP or BGA. In the case of the QFP, a practical use dimension is 40 mm or less when considering the length of the package or substrate, and the pin number is 304 or less if the outer leads are arranged at a pitch of 0.5 mm. The outer leads need to be arranged at a pitch of 0.4mm or 0.3 mm to increase the pin number, but this causes a user difficulty in mounting the semiconductor package at a high productivity. Generally, in fabricating the QFP in which the outer leads are arranged at a pitch of 0.3 mm or less, the mass production of the QFP necessarily involves an increase in costs, otherwise the mass production is difficult. The BGA was proposed to overcome such a difficulty of the QFP. In the BGA, external terminals are formed in the shape of two-dimensional array, and arranged at a wider pitch, thereby reducing a difficulty in mounting it. Moreover, although the BGA permits the conventional overall reflow soldering even at the pin number in excess of 300 pins, solder bumps are incorporated with clacks depending on the temperature cycle if the dimension of the BGA reaches 30 to 40 mm, such that an upper limitation of

the pin number of the BGA is 600 to 700 pins, or at most 1000 pins. In the case of the CSP in which external terminals are mounted in the shape of two-dimensional array on the back surface of the CSP, pitches of the external terminals can be increased in accordance with the concepts of the BGA. Moreover, in the CSP, the overall reflow soldering can be permitted, as in the BGA.

3) Third, as compared to the QFP or BGA, the CSP is short in an interconnection length, and thus less in the parasitic capacitance, and thereby short in the transfer delay time. Where the clock rate is in excess of 100 MHZ, the QFP is problematic in transfer into the package. The CSP having a shortened interconnection length is advantageous. Accordingly, the CSP is advantageous in view of the mounting efficiency, but it needs to be narrower in the terminal pitch when considering a demand for an increase in the number of terminals.

Thus, the present invention is aimed to provide a resin-encapsulated semiconductor device employing a lead frame, which is capable of meeting a demand for the miniaturization and increased terminal number.

## [MEANS FOR SOLVING THE SUBJECT MATTERS]

A resin-encapsulated semiconductor device in accordance with the present invention is a resin-

encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an 5 encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the 10 lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction 15 orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface on which the semiconductor chip is mounted, the terminal columns having terminal portions arranged on their tips; the terminal portions being made of solder, etc. and 20 exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at their outer sides; the semiconductor chip at its surface having electrode portions (pads) being mounted on the inner leads by means of an 25 insulating adhesive, and the electrode portions being

electrically connected to tips of the inner leads by wires. Moreover, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the lead frame surface on which the semiconductor chip is mounted, the terminal columns being exposed externally through the encapsulating resin at their outer sides; the semiconductor chip at its surface having electrode portions (pads) being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being

arranged between the inner leads and electrically connected to tips of the inner leads by wires.

5 In the resin-encapsulated CSP type semiconductor devices as described above, the lead frame has a die pad, and the semiconductor chip is mounted in such a manner that their electrode portions is arranged between the inner leads and the die pad.

Furthermore, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-10 encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is 15 substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the 20 inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the 25 terminal columns being mounted on the surface opposite the

surface of the lead frame on which the semiconductor device is mounted, the terminal columns having terminal portions arranged on their tips; the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at their outer sides; the semiconductor chip being mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip being electrically connected to the inner leads.

Also, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner

that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns having terminal portions arranged on their tips; the terminal portions being exposed externally through the encapsulating resin at a portion of tips thereof; the semiconductor chip being mounted on the inner leads by bumps arranged on one surface thereof, and the semiconductor chip being electrically connected to the inner leads.

In the resin-encapsulated CSP type package, the inner leads each have a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead.

Meanwhile, the CSP type semiconductor devices as used herein generally means resin-encapsulated semiconductor devices encapsulated with an encapsulating resin in a manner that each of the resulting structures is

lead, the inner leads are stable and wider in their width.

Furthermore, in the resin-encapsulated semiconductor device in accordance with the present invention, a semiconductor chip is mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip and the inner leads are electrically connected to each other. Thus, wire bondings are not required, and also bondings can be carried out in a lump.

10 [EMBODIMENTS]

15 Embodiments of the resin-encapsulated semiconductor device in accordance with the present invention will now be described with reference to Figures. 1. First, a first embodiment is shown in Fig. 1. Fig 1a is a cross-sectional view of the resin-encapsulated semiconductor device according to the first embodiment of the present invention. Fig. 1b is a cross-sectional view of each of the inner leads taken along the line A1-A2 of Fig. 1a, and Fig 1c is a cross-sectional of each of terminal columns view taken along the line B1-B2 of Fig. 1a. In Fig. 1, a reference numeral 100 depicts a resin-encapsulated semiconductor device, 110 a semiconductor chip, 111 electrode portions (pads), 120 wires, 130 a lead frame, 131 inner leads, 131Aa a first surface, 131Ab a second surface, 131Ac a third surface, 131Ad a fourth surface, 133 terminal columns, 133A

terminal portions, 133B sides, 140 an encapsulating resin, 150 an insulating adhesive, and 160 a reinforcing tape.

In the resin-encapsulated semiconductor device according to the first embodiment, a semiconductor device 110 is mounted in a manner that the electrode portions 111 of the semiconductor chip 110 are arranged between the inner leads. The semiconductor chip 110 is electrically connected to the second surface 131 Ab of the tip of each inner lead 131. The electrical connection of the resin-encapsulated semiconductor device 100 to an external circuit is achieved by mounting the resin-encapsulated semiconductor device 100 at terminal portions made of semi-spherical solder on a printed circuit substrate. The lead frame 130 used in the semiconductor device 100 according to the first embodiment is made of a 42% nickel-iron alloy. This lead frame 130 has a shape as shown in Fig. 6a. As shown in Fig. 6a, the lead frame 130 has inner leads 131 shaped to have a thickness smaller than that of the terminal column 133. Dam bars 136 serve as a dam when encapsulating with a resin. Moreover, although the lead frame processed by etching to have a shape as shown in Fig. 6a is used in this embodiment, the lead frame is not limited to such a shape as portions other than the inner leads and the terminal columns 133 are not required to be used. The inner leads 131 have a thickness of 40 $\mu$ m whereas

the portions of the lead frame other than the inner leads 131 have a thickness of 0.15 mm corresponding to the thickness of the lead frame blank. The tips of the inner leads have a fine pitch of 0.12 mm so as to achieve an increase in the number of terminals for semiconductor devices. The second face denoted by the reference numeral 131Ab is a surface etched, but having a substantially flat profile, so as to allow an easy wire bonding thereon. The third and fourth faces 131Ac and 131Ad have a concave shape depressed toward the inside of the associated inner lead, respectively. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Also, Fig. 6b is a cross-sectional view taken with the line C1-C2 of Fig. 6a. The reinforcing tape 160 is attached fixedly so as not to cause twisting in the inner leads. Also, if the inner leads are short in their length, a lead frame fabricated by etching to have a shape shown in Fig. 6a is mounted with the semiconductor chip in accordance with a method as described below. However, where the inner leads are long in their length and have a tendency for the generation of twisting therein, it is impossible to fabricate directly the lead frame by etching to have a shape as shown in Fig. 6a. Therefore, after etching the lead frame in a state where the tips of the inner leads are fixed to the connecting portion 131B as shown in Fig.

6c(i), the inner leads 131 are fixed with the reinforcing tape 160 as shown in Fig. 6c(ii). Then, the connecting portion 131B unnecessary for the fabrication of the resin-encapsulated semiconductor device are removed by means of a press as shown in Fig. 6c (iii), and a semiconductor chip is then mounted on the lead frame. In Fig. 6c(ii), the line E1-E2 shows the line to be cut by a press.

A method for the fabrication of the resin-encapsulated semiconductor device will now be described in brief. First, as shown in Fig. 5a, a lead frame, which is fabricated by an etching and from which the unnecessary portions are moved by a cutting process, is arranged in a manner that thin tips of the inner leads are directed upwardly. Moreover, if the inner leads are long in their length, the tips of the inner leads are fixed by a polyimide tape, as required. Then, the surface of the semiconductor device 110 having electrode portions 111 formed thereon is directed downwardly, and located on the inner leads in a manner that the electrode portions are arranged between the inner leads 131. Then, the semiconductor device 110 is mounted fixedly on the inner leads by means of an insulating adhesive 150.

Then, as shown in Fig. 5b, the electrode portions are electrically connected to the tips of the inner leads 131 by wires 120. Subsequently, encapsulation is carried out

with the conventional encapsulating resin 140, as shown in Fig. 5c. Such an encapsulation with the resin is carried out using a desired mold in a manner that the outer surface of the terminal columns is somewhat protruded externally 5 from the encapsulating resin. Then, unnecessary portions of the lead frame 130 protruded from the encapsulating resin 140 are cut off by a press to form terminal columns 130 while forming sides 133B of the terminal columns 130, as shown in Fig. 5d. In this case, it is preferable to form 10 previously the cutting line in the lead frame for easy cutting. Particularly, the forming of the cutting line during etching of the lead frame results in the saving of time. The dam bars 136, frame portions 137, etc. of the lead frame 110 as shown in Fig. 6 are removed. Next, 15 terminal portion 133A made of solder is arranged on the outer surface of each terminal column to fabricate a resin-encapsulated semiconductor device. The terminal portion 133A serves to facilitate connection of the resin-encapsulated semiconductor device to an external circuit, 20 but does not necessarily need to be arranged.

A method for etching the lead frame of the first embodiment will now be described in conjunction with Figs. 25 8a to 8e. Figs. 8a to 8e are cross-sectional views respectively illustrating sequential steps of the etching process for the lead frame of the first embodiment shown in

Fig. 1. In particular, the cross-sectional views of Figs. 8a to 8e correspond to a cross section taken along the line D1 - D2 of Fig. 6a, respectively. In Figs. 8a to 8e, the reference numeral 810 denotes a lead frame blank, 820A and 820B resist patterns, 830 first opening, 840 second openings, 850 first concave portion, 860 second concave portions, 870 flat surface, 880 an etch-resistant layer, 131A tips of inner leads, and 131Ab second faces of inner leads, respectively. First, a water-soluble casein resist 5 using potassium dichromate as a sensitive agent is coated over both surfaces of a lead frame blank 810 made of a 42% nickel-iron alloy and having a thickness of about 0.15 mm. Using desired pattern plates, the resist films are 10 patterned to form resist patterns 820A and 820B having first opening 830 and second openings 840, respectively. 15 (Fig. 8a).

The first opening 830 is adapted to etch the lead frame blank 810 to have an etched flat bottom surface of a thickness smaller than that of the lead frame blank 810 in 20 a subsequent process. The second openings 840 are adapted to form desired shapes of tips of inner leads. Although the first opening 830 includes at least an area forming the tips of the inner leads 810, a topology generated by a 25 partially thinned portion by etching in a subsequent process can cause hindrance in a taping process or a

clamping process for fixing the lead frame. Thus, an area to be etched needs to be sufficiently large without being limited to an area for forming the fine portions of the tips of the inner leads. Thereafter, both surfaces of the 5 lead frame blank 810 formed with the resist patterns are etched using a 48 Be' ferric chloride solution of a temperature of 57 °C at a spray pressure of 2.5 kg/cm<sup>2</sup>. The etching process is terminated at the point of time when first recess 850 etched to have a flat etched bottom 10 surface has a depth  $h$  corresponding to 2/3 of the thickness of the lead frame blank (Fig. 8b).

Although both surfaces of the lead frame blank 810 are simultaneously etched in the primary etching process, it is unnecessary to simultaneously etch both surfaces of the 15 lead frame blank 810. For instance, an etching process may be conducted at the surface of the lead frame blank formed with the resist pattern 820B having openings of a desired shape to form at least a desired shape of the inner leads using an etchant solution. In this case, the etching 20 process is terminated after obtaining a desired etching depth at the etched inner lead forming regions. The reason why both surfaces of the lead frame blank 810 are simultaneously etched, as in this embodiment, is to reduce the etching time taken in a secondary etching process as 25 described hereinafter. The total time taken for the

primary and secondary etching processes is less than that taken in the case of etching only one surface of the lead frame blank on which the resist pattern 820A is formed. Subsequently, the surface provided with the first recess 850 etched at the first opening 830 is entirely coated with an etch-resistant hot-melt wax (acidic wax type MR-WB6, The Incotec Inc.) by a die coater to form an etch-resistant layer 880 so as to fill up the first recess 850 and to cover the resist pattern 820A (Fig. 8c).

It is unnecessary to coat the etch-resistant layer 880 over the entire portion of the surface provided with the resist pattern 820A. However, it is preferred that the etch-resistant layer 880 be coated over the entire portion of the surface formed with the first recess 850 and first opening 830, as shown in Fig. 8c, because it is difficult to coat the etch-resistant layer 880 only on the surface portion including the first recess 850. Although the etch-resistant layer 880 wax employed in this embodiment is an alkali-soluble wax, any suitable wax resistant to the etching action of the etchant solution and remaining somewhat soft during etching may be used. A wax for forming the etch-resistant layer 880 is not limited to the above-mentioned wax, but may be a wax of a UV-setting type. Since the first recess 850 etched by the primary etching process at the surface formed with the pattern adapted to

form a desired shape of the inner lead tip is filled up with the etch-resistant layer 880, it is not further etched in the following secondary etching process. The etch-resistant layer 880 also enhances the mechanical strength of the lead frame blank for the second etching process, thereby enabling the second etching process to be conducted while keeping a high accuracy. It is also possible to enable a second etchant solution to be sprayed at an increased spraying pressure, for example, 2.5 kg/cm<sup>2</sup> or above, in the secondary etching process. The increased spraying pressure promotes the progress of etching in the direction of the thickness of the lead frame blank in the secondary etching process. Then, the lead frame blank is subjected to a secondary etching process. In this secondary etching process, the lead frame blank 810 is etched at its surface formed with the first recess 850 having a flat etched bottom surface, to completely perforate the lead frame blank 810, thereby forming the tips 890 of the inner leads (Fig. 8d).

The bottom surface 870 of each recess formed by the primary etching process and parallel to the surface of the lead frame is flat. However, both side surfaces of each recess positioned at opposite sides of the bottom surface 870 have a concave shape depressed toward the inside of the inner lead. Then, the lead frame blank is cleaned. After

completion of the cleaning process, the etch-resistant layer 880, and resist films (resist patterns 820A and 820B) are sequentially removed. Thus, a lead frame having a structure of Fig. 6a is obtained in which tips 690 of inner leads are arranged at a fine pitch. The removal of the etch-resistant layer 880 and resist films (resist patterns 820A and 820B) is achieved using a sodium hydroxide solution serving to dissolve them.

The etching method in which the etching process is conducted at two separate steps, respectively, as described above, is generally called a "two-step etching method". This etching method is advantageous in that a desired fineness can be obtained. The etching method used to fabricate the lead frame 130 used in the present invention and shown in Figs. 6a and 6b involves the two-step etching method and the method for forming a desired shape of each lead frame portion while reducing the thickness of each pattern formed. In accordance with the above method, the fineness of the tip 131A of each inner lead formed by this method is dependent on a shape of the second recesses 860 and the thickness of the inner lead tip. For example, where the blank has a thickness  $t$  reduced to 50  $\mu\text{m}$ , the inner leads can have a fineness corresponding to a lead width  $W_1$  of 100  $\mu\text{m}$  and a tip pitch  $p$  of 0.15 mm, as shown in Fig. 6e. In the case of using a small blank thickness  $t$

of about 30  $\mu$ m and a lead width  $W_1$  of 70  $\mu$ m, it is possible to form inner leads having a fineness corresponding to an inner lead pitch  $p$  of 0.12 mm. Of course, it may be possible to form inner leads having a further reduced tip pitch by adjusting the blank thickness  $t$  and the lead width  $W_1$ .

5 In the case where twisting of the inner leads does not occur in the fabricating process, as in the case where the inner leads are short in their length, a lead frame 10 illustrated in Fig. 6a can be directly obtained. However, where the inner leads are long in length as compared to those of the first embodiment, the inner leads have a tendency for the generation of twisting. Thus, in this case, the lead frame is obtained by etching in a state 15 where the tips of the inner leads are bound to each other by a connecting member 131B as shown in Fig. 6c(I). Then, the connecting member 131B, unnecessary for the fabrication of a semiconductor package, is cut off by means of a press to obtain a lead frame shaped as shown in Fig. 6a.

20 In the case of fabricating a lead frame 230 having a die pad 235 as shown in Figs. 7a and 7b, the lead frame may be shaped by etching in a state where a connecting member 231B is arranged on the tips of the inner leads to bind the tips directly to the die pad, as shown in Fig. 7c(I). Then, 25 unnecessary portions in the shaped lead frame may be cut

off. Moreover, Fig. 7b is a cross-sectional view taken along the line C11-C22, and the line E11-E21 in Fig. 7c(iii) shows a cutting line. After the inner leads are plated in accordance with a jig plating process, unnecessary portions are cut off to obtain a lead frame having a good quality with no plating failure. Moreover, as described above, where unnecessary portions in the structure shown in Fig. 6c are cut off to obtain the lead frame having a shape shown in Fig. 6a, a reinforcing tape 160 (a polyimide tape) is generally used, as shown in Fig. 6c(iii). Similarly, the reinforcing tape is also used in the case of cutting off unnecessary portions in a structure shown in Fig. 7c. While the connecting member 131B is cut off by means of a press to obtain a shape shown in Fig. 6c(iii), a semiconductor chip is mounted on the lead frame still having the reinforcing tape attached thereon. Also, the mounted semiconductor chip is encapsulated with a resin in a condition where the lead frame still has the tape.

The tip 131A of each inner lead of the lead frame used in the semiconductor device of this first embodiment has a cross-sectional shape as shown in Fig. 9(I). The tip 131A has an etched flat surface (second surface) 131Ab which has a width W1 slightly more than the width W2 of an opposite surface. The widths W1 and W2 (about 100  $\mu$ m) are more than the width W at the central portion of the tips when viewed

in the direction of the inner lead thickness. Thus, the tip of the inner lead has a cross-sectional shape having opposite wide surfaces. To this end, although either of the opposite surfaces of the tip 131A can be easily 5 electrically connected to a semiconductor chip (not shown) by a wire 120A or 120B, this embodiment illustrates the use of the etched flat surface for wire-bonding as shown in Fig. 9(ii)a. In Fig. 9, a reference numeral 131Ab depicts an etched flat surface, 131Aa a surface of a lead frame blank, and 121A and 121B, respectively, a plated portion. In the 10 case of Fig. 9(ii)a, there is a particularly excellent wire-bonding property, as the etched flat surface does not have roughness. Fig. 9(iii) shows that the tip 931C of the inner lead of the lead frame fabricated according to the process 15 illustrated in Fig. 10 is wire-bonded to a semiconductor chip. In this case, however, both opposite surfaces of the tip 931C of the inner lead are flat, but have a width smaller than that in a direction of the inner lead thickness. In addition to this, as both the opposite 20 surfaces of the tip 931C are formed of surfaces of the lead frame blank, these surfaces have an inferior wire-bonding property as compared to that of the etched flat surface of the first embodiment. Fig. 9(iv) shows that the inner lead tip 931D or 931E, obtained by thinning in its thickness by 25 a means of a press and then by etching, is wire-bonded to a

semiconductor chip (not shown). In this case, however, a pressed surface of the inner lead tip is not flat as shown Fig. 9(iv). Thus, the wire-bonding on either of the opposite surfaces as shown in Fig. 9(iv)a or Fig. 9(iv)b often results in an insufficient wire-bonding stability and a problematic quality.

A modification to the resin-encapsulated semiconductor device of the first embodiment will now be described. Fig. 2a is a cross-sectional view illustrating a modification to the resin-encapsulated semiconductor device of the first embodiment, and Fig. 2c shows an appearance of the semiconductor device in accordance with the modification. Fig. 2c(ii) is a view when viewed from the bottom of the semiconductor device, Fig. 2c(I) is a front view of the semiconductor device, and Fig. 2b is a cross-sectional view of a terminal column taken at a position corresponding to the line A1-A2 of Fig. 1a. The semiconductor device according to the modification is different with that of the first embodiment in terminal portion 133A. The terminal portions at their tips are protruded externally from a resin 140. The surface of the tip of each terminal portion is plated with solder. Thus, when mounting the resin-encapsulated semiconductor device, the solder is uniformly distributed through an opening 133c. The semiconductor device 100A of this modification is identical to that of

the first embodiment except for the terminal portions 133A. A resin-encapsulated semiconductor device in accordance with a second embodiment will now be described. Fig. 3a is a cross-sectional view of a resin-encapsulated semiconductor device according to the second embodiment, 5 Fig. 3b is a cross-sectional view of an inner lead taken along the line A3-A4 of the Fig. 3a, and Fig. 3c(I) is a cross-sectional view of a terminal column taken along the line A3-A4 of Fig. 3a. In Fig. 3, a reference numeral 200 depicts a resin-encapsulated semiconductor device, 210 a 10 semiconductor chip, 230 a lead frame, 231 inner leads, 231Aa a first surface, 231Ab a second surface, 231Ac a third surface, 231Ad a fourth surface, 233 terminal columns, 233A terminal portions, 233B sides, 235 a die pad, 15 240 an encapsulating resin, 250 an insulating adhesive, 250A an adhesive, and 260 a reinforcing tape. In the case of the second embodiment similarly to the case of the first embodiment, the semiconductor chip 210 is mounted in such a manner that the surface, on which electrode portions (pads) 211 are formed, is mounted fixedly on the inner leads 231 by means of the insulating adhesive, while the electrode portions 211 are arranged between the inner leads 231. The electrode portions are electrically connected to the second surfaces 231Ab of the tips of the inner leads 231. The lead frame has the die pad 235 at its inside. The electrode 20 25

portions 211 are arranged between the inner leads 231 and the die pad 235. Moreover, in the second embodiment similarly to the case of the first embodiment, electrical connection of the semiconductor device 200 to an external circuit is achieved by mounting the semiconductor device 200 on a printed substrate by terminal portions made of a semi-spherical solder and arranged on the tips of the terminal columns 233. In this embodiment, a conductive adhesive is used to adhere the semiconductor chip 210 to the die pad 235, and the die pad 235 and the terminal columns 233 are connected by the inner leads to each other, thereby dissipating heat generated in the semiconductor chip through the die pad. Also, the adhesive 250A necessarily needs to be conductive. However, where the die pad and the semiconductor chip are connected together by means of the conductive adhesive and the die pad is connected to a ground line, it is possible to not only obtain a heat dissipation effect, but also to solve a problem associated with noise.

Similarly to the lead frame used in the first embodiment, the lead frame 230 used in the second embodiment is made of 42% nickel-iron alloy. However, as shown in Figs. 7a and 7b, the lead frame 230 is shaped to have the die pad 235 and the inner leads 233 having a thickness thinner than that of the terminal columns. The

terminal columns each have a thickness of 0.15 mm. The inner leads are arranged at a pitch of 0.12 mm, thereby meeting a demand for the increased terminal number of the semiconductor device. The second surface 231Ab of each 5 inner lead is flat, such that is easy to wire-bond. The third and fourth surfaces 231Ac and 231Ad also have a concave shape depressed toward the inside of the inner lead. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Moreover, 10 the fabrication of the resin-encapsulated semiconductor device of the second embodiment is carried out in accordance with substantially the same process as that of the first embodiment.

For example, in a modification to the resin- 15 encapsulated semiconductor device of the second embodiment, an opening 233C is formed on the tip of each terminal column 233 as in the modification to the first-embodiment. The opening is protruded externally from the encapsulating resin 240 such that the tip having the opening serves as 20 the terminal 233A.

A resin-encapsulated semiconductor device in accordance with a third embodiment will now be described. Fig. 4a is a cross-sectional view of a resin-encapsulated semiconductor device in accordance with a third embodiment, 25 and Fig. 4b is a cross-sectional view of an inner lead

5 taken along the line A5-A6 of Fig. 4a. Also, Fig. 4c(I) is a cross-sectional view of a terminal column taken along the line B5-B6 of Fig. 4a. In Fig. 4, a reference numeral 300 depicts a resin-encapsulated semiconductor device, 310 a semiconductor device, 311 pads, 330 a lead frame, 331 inner leads, 331Aa a first surface, 331Ab a second surface, 331Ac a third surface, 331Ad a fourth surface, 333 terminal columns, 333A terminal portions, 333B sides, 335 a die pad, 340 a encapsulating resin, and 360 a reinforcing resin.

10 10 Unlike the first or second embodiment above, the semiconductor device 300 in accordance with this third embodiment includes bumps 311. The bumps 311 are mounted fixedly on the inner leads 330 and electrically connect the semiconductor chip 310 and the inner leads 331 together.

15 15 Similarly to the first or second embodiment, electrical connection of the semiconductor device to an external circuit is achieved by mounting the semiconductor device on a printed substrate by terminal portions 333A made of a semi-spherical solder and arranged on the tips of the terminal columns.

20

Similarly to the lead frame used in the first or second embodiment, the lead frame 330 used in the second embodiment is made of 42% nickel-iron alloy. However, the lead frame 330 is shaped to have the tips 331A of the inner leads having a thickness thinner than that of the terminal

columns, as shown in Figs. 6a and 6b. The terminal columns 333 are equal to the lead frame blank in thickness. The tips 331A of the inner leads are 0.015 mm thick, and the remaining portions other than the tips 331A of the inner leads are 0.15 mm thick, such that the lead frame has a strength sufficient to withstand the subsequent processes. The inner leads are arranged at a pitch of 0.12 mm, thereby meeting a demand for the increased terminal number of the semiconductor device. The second surface 331Ab of each inner lead 331A is flat, such that it is easy to wire-bond. The third and fourth surfaces 331Ac and 331Ad also have a concave shape depressed toward the inside of the inner lead. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Moreover, the fabrication of the resin-encapsulated semiconductor device of the second embodiment is carried out in accordance with substantially the same process as that of the first embodiment, except that the semiconductor chip is mounted fixedly on the die pad, followed by encapsulation with the encapsulating resin.

For example, in a modification to the resin-encapsulated semiconductor device of the third embodiment, an opening 333C is formed on the tip of each terminal column 333 as in the modification to the first embodiment as shown in Fig. 2. The opening is protruded externally

from the encapsulating resin 340A such that the tip having the opening serves as the terminal 333A.

[EFFECTS OF THE INVENTION]

5        The present invention provides a resin-encapsulated semiconductor device employing the above-mentioned lead frame, which is capable of meeting a demand for the increased terminal number and is excellent in mounting efficiency. Furthermore, the resin-encapsulated  
10      semiconductor device in accordance with this invention does not require a process of cutting or bending the dam bars as in the case of using a lead frame having outer leads as shown in Fig. 11b. As a result of this, the resin-encapsulated semiconductor device does not have a problem  
15      in that the outer leads are bent, or a problem associated with coplanarity. In addition to these advantages, the resin-encapsulated semiconductor device has a shortened interconnection length as compared to the QTP or the BGA, whereby the semiconductor device can be reduced in a  
20      parasitic capacity, and shortened in a transfer delay time.

(19) 日本国特許庁 (JP)

## (11) 公開特許公報 (A)

(11) 特許出願公報番号

特開平 8-306853

(43) 公開日 平成 8 年 (1996) 11 月 22 日

(51) Int. Cl.	国別記号	序内整理番号	F I	技術表示箇所
H01L 23/50			H01L 23/50	
21/60	311		21/60	311
23/12			23/28	1
23/28			23/12	1

審査請求 未請求 請求項の数 17 OL (全 20 頁)

(21) 出願番号	特願平 7-110380	(11) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中 4 丁目 1 号 1 号
(22) 出願日	平成 7 年 (1995) 5 月 9 日	(12) 発明者	林田 康大 神奈川県川崎市中原区上小田中 1015 号 地 富士通株式会社内
		(12) 発明者	佐藤 光幸 神奈川県川崎市中原区上小田中 1015 号 地 富士通株式会社内
		(14) 代理人	弁理士 伊東 忠三

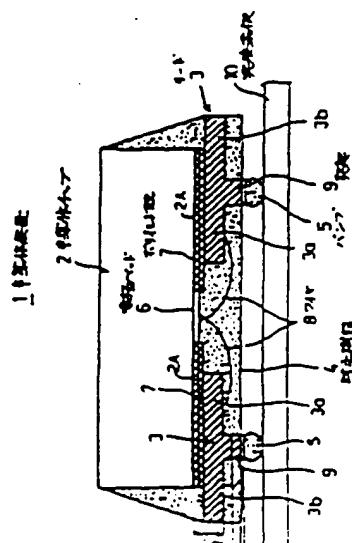
最終頁に続く

## (54) [発明の名称] 半導体装置及びその製造方法及びリードフレームの製造方法

## (57) [要約]

【目的】本発明は半導体チップ及びリードを筐体封止した構成を有した半導体装置及びその製造方法及び半導体装置に用いるリードフレームの製造方法に関するもので、半導体チップの信頼性を維持しつつ外部電極端子の低量化、製品コストの低減及び生産効率の向上を図ることを目的とする。

【構成】第1のピッチで電極パッド6が形成された半導体チップ2と、電極パッド6とワイヤ8を介して電気的に接続されるリード3と、半導体チップ2を対止する対止樹脂4とを具備する半導体装置において、前記リード3に外露接続端子となる突起9を上記第1のピッチと異なる第2のピッチで形成すると共に、前記対止樹脂4が電極パッド6とリード3との間に引き回されたワイヤ8を対止し、かつ前記突起9を高出させよう配設したものである。





成するよう突起パターンを形成する突起パターン形成工程と。

前記リードパターンが形成された前記第1の基材と、前記突起パターンが形成された前記第2の基材を重ね合わせ、前記突起の形成位置において前記リードパターンと前記突起パターンが接觸されるよう前記第1の基材と前記第2の基材とを接合する接合工程と。

前記第1の基材及び第2の基材の不要部分を除去する除去工程とを具備することを特徴とするリードフレームの製造方法。

【請求項14】 該請求項10または11記載のリードフレームの製造方法において、

基材に、平面視した際に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と。前記リードパターン形成工程は、形成されたリードパターンの所定位置に前記突起を形成する突起形成工程とを具備することを特徴とするリードフレームの製造方法。

【請求項15】 該請求項14記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置にパンプを導入あるいは導入位置を重ねることにより前記突起を形成したことを特徴とするリードフレームの製造方法。

【請求項16】 該請求項14記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置に導電性部材を配設することにより前記突起を形成したことを特徴とするリードフレームの製造方法。

【請求項17】 該請求項14記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置を塑性加工することにより前記突起を形成したことを特徴とするリードフレームの製造方法。

【発明の詳細な説明】

【0001】

【実質上の利用分野】 本発明は半導体装置及びその製造方法及びリードフレームの製造方法に係り、特に半導体チップ及びリードを接觸封止した構成を有した半導体装置及びその製造方法及び当該半導体装置に用いるリードフレームの製造方法に関する。

【0002】 近年、電子機器のダウンサイジング化に伴い、半導体装置の高密度化及び半導体装置の高密度実装化が図られている。一方で、電子機器の信頼性の向上も図られており、これにはい半導体装置の信頼性も向上させる必要がある。更に、半導体装置は製品コストの低減も望まれている。

【0003】 よって、上記した要素を満足しうる半導体装置が望まれている。

チップチップ方式の実装構造が知られており、マルチチップ・モジュール(MCM)において広く用いられている。このMCMで用いるフリップチップ実装は、接觸封止をしていない半導体チップ(ペアチップ)の電極パッドにパンプを形成しておき、このペアチップを基板(マザーボード)に形成された電極間にフェースダウンボンディングすることにより実装する方式とされている。

【0004】 上記のフリップチップ方式の実装構造を用いることにより、高密度に半導体装置をマザーボードに配設することが可能となり、またペアチップに直接形成されたパンプを用いてマザーボードに電気的に接続されるため、電気的特性を向上させることができる。

【0005】

【発明が解決しようとする課題】 しかしながら、接觸封止がされていないペアチップは、耐熱性、強度、及び耐久性が弱いという問題点がある。また、ペアチップに形成されている電極パッドに直接パンプが形成され外部接続端子を形成するため、ペアチップに形成されているマザーボードのレイアウトがそのまま外部接続端子(パンプ)のレイアウトとなってしまう。

【0006】 一般に半導体チップの電極パッドのレイアウトは半導体製造メーカーに異なっており、従って同一規格を有する半導体装置であっても、ユーザー側で半導体装置の配線(配線メーカ)に対応するようマザーボードの配線パターンを設計する必要がある。このように、従来のペアチップを用いた実装構造では、半導体装置の外部接続端子の標準化がされていないことにより、半導体装置とマザーボードとのマッチング性に欠け、ユーザー側での負担が重くなるという問題点があった。

【0007】 また、これを解決するためにチップ表面にプロセス処理を行い、配線を引き回すことにより標準化を図ることが考えられるが、この構造では配線の引き回しに必要な度を有する多くの工程を必要とし、製品コストの上昇及び生産効率の低下を招いてしまうという問題点があった。

【0008】 本発明は上記の点に鑑みてなされたものであり、半導体チップのはね性を維持しつつ外部接続端子の標準化、製品コストの低減及び生産効率の向上を図りうる半導体装置及びその製造方法及びリードフレームの製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】 上記の課題は下記の各手段を用じることにより解決することができる。該請求項1記載の発明では、第1のピッチにて形成された電極パッドが形成された半導体チップと、該電極パッドと配線を介して電気的に接続されるリードと、前記半導体チップを封止する封止部とを具備する半導体装置において、

された配線を封止し、かつ前記突起を露出させるよう配線されることを特徴とするものである。

〔0011〕また、請求項2記載の発明では、第1のピッチにて形成された電極パッドが形成された半導体チップと、前記電極パッドと配線を介して電気的に接続されるリードと、前記半導体チップを封止する封止樹脂とを具備する半導体装置において、前記リードに外部接続端子となる突起を上記第1のピッチと異なる第2のピッチで形成すると共に、前記半導体チップに形成された前記電極パッドの配線面を基体とし、前記配線面における前記封止樹脂の厚さが、前記配線面から前記突起までの高さ寸法以下で、かつ前記配線面から前記突起までの高さ寸法以上となるよう構成したことを特徴とするものである。

〔0012〕また、請求項3記載の発明では、前記請求項1または2記載の半導体装置において、前記半導体チップと前記リードとをポリイミド膜を接着剤として接合したことを特徴とするものである。

〔0013〕また、請求項4記載の発明では、前記請求項1乃至3のいずれかに記載の半導体装置において、前記突起を前記リードと一体的に形成したことを特徴とするものである。また、請求項5記載の発明では、前記請求項1乃至4のいずれかに記載の半導体装置において、前記配線としてワイヤを用いたことを特徴とするものである。

〔0014〕また、請求項6記載の発明では、前記請求項1乃至5のいずれかに記載の半導体装置において、前記突起にバンプを形成したことを特徴とするものである。また、請求項7記載の発明では、半導体装置の製造方法において、外部接続端子となる部位に突起が形成されてなるリードを形成するリード形成工程と、前記リードあるいは半導体チップの少なくとも一方にポリイミド膜を配線し、前記ポリイミド膜を介在させて前記リードと前記半導体チップを所定押圧力で押圧しつかしつ所定層度に加熱することにより、前記ポリイミド膜を接着剤として前記リードと前記半導体チップとを接合する接合工程と、前記半導体チップに形成されている電極パッドと前記リードとを接合を引き回しはめすることにより、前記電極パッドと前記リードとを電気的に接続する接続工程と、前記配線及び前記半導体チップの所定層度成いは全部を封止すると共に、前記突起の少なくとも裏面を露出するよう封止樹脂を配線する封止樹脂配線工程とを具備することを行はとするものである。

〔0015〕また、請求項8記載の発明では、前記請求項7記載の半導体装置の基板万能において、前記接合工程でポリイミド膜により前記リードと前記半導体チップを接合するに、前記ポリイミド膜として耐熱性耐湿性耐水性を有するものを用、をことを特徴とするものである。

〔0016〕また、請求項9記載の発明では、前記接合工程で、前記電極パッドと前記リードとをダイレクトリードボンディング法により電気的に接続したことを特徴とするものである。

〔0017〕また、請求項10記載の発明では、インナーリード部とアウターリード部とを有した複数のリードが形成されたリードフレームにおいて、前記アウターリード部のリードピッチに対して前記インナーリード部のリードピッチを小さく設定すると共に、前記アウターリード部に一體的に突起を形成したことを特徴とするものである。

〔0018〕また、請求項11記載の発明では、前記請求項10記載のリードフレームにおいて、前記アウターリード部のリードピッチ( $P_{...}$ )と前記突起の形成位置における前記リードの高さ( $W$ )とが既存しく( $P_{...} \neq W$ )、かつ前記インナーリード部のリードピッチ( $P_{...}$ )が前記アウターリード部のリードピッチ( $P_{...}$ )の約半分のピッチ( $P_{...} = P_{...} / 2$ )であることを特徴とするものである。また、請求項12記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、基材に前記突起の形成位置にマスクを配線した上で、前記基材に対してハーフエッティングを行う第1のエッティング工程と、前記第1のエッティング工程の終了は、前記リード形成位置にマスクを配線した上で、前記基材に対してエッティングを行いリードを形成する第2のエッティング工程とを異にする特徴とするものである。

〔0019〕また、請求項13記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、直に合わせることにより前記突起の所定高さ寸法となるよう板厚が選定された第1の基材と第2の基材を用意し、前記第1の基材に、平面積した後に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、前記第2の基材に、少なくとも前記突起の形成位置に位置するよう突起パターンを形成する突起パターン形成工程と、前記リードパターンが形成された前記第1の基材と、前記突起パターンが形成された前記第2の基材を直に合わせ、前記突起の形成位置において前記リードパターンと前記突起パターンが直に接続されるよう前記第1の基材と前記第2の基材とを接合する接合工程と、前記第1の基材及び第2の基材の不要部分を除去する除去工程とを具備することを特徴とするものである。

〔0020〕また、請求項14記載の発明では、前記請求項13記載のリードフレームの製造方法において、基材に、平面積した後に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、前記リードパターンが形成された前記第1の基材と前記第2の基材とを接合する接合工程と、前記第1の基材及び第2の基材の不要部分を除去する除去工程とを具備することを特徴とするものである。

〔0021〕また、請求項15記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置にパンプを単数或いは直数枚み重ねることにより前記突起を形成したことを特徴とするものである。

〔0022〕また、請求項16記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置に導電性部材を配線することにより前記突起を形成したこととするものである。

〔0023〕更に、請求項17記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置を塑性加工することにより前記突起を形成したことを特徴とするものである。

〔0024〕

【作用】上記した各手段は、下記のように作用する。請求項1及び請求項2記載の発明によれば、半導体チップは対止樹脂により対止されるため、耐熱性、機械的強度及び耐候性を向上させることができる。また、電極パッドをリード及び配線を用いて引き回すことができるため、リードのレイアウトを電極パッドのレイアウトに向わらず設定することが可能となり、実装基板とのマッチング性を向上させることができ。また、対止樹脂は引き回された配線を確実に保護するためこれによっても信頼性を向上させることができ。また外部接続端子は対止樹脂から露出しているため実装基板との電気的接続を確実に行うことができる。

〔0025〕また、請求項3記載の発明によれば、通常半導体チップとリードとの絶縁材として配線されるポリイミド膜を接着剤として用いてるため、半導体チップとリードの絶縁と接着を一括に行うことができる。よって、絶縁材と接着剤とを別個に配線する構成に比べて構造の簡単化及び製造の容易化を図ることができる。

〔0026〕また、請求項4記載の発明によれば、突起をリードと一緒に形成したことにより、突起とリードを別個の材料により構成する場合に比べて構造の簡単化を図ることができる。また、請求項5記載の発明によれば、配線としてワイヤを用いたことにより、前記した電極パッドとリードとの間における配線の引き回しを容易に行うことができる。

〔0027〕また、請求項6記載の発明によれば、突起にパンプを形成したことにより、突起を直接実装基板に実装する構造に比べて、半導体装置の実装基板への接続を容易に行うことができる。また、請求項7記載の発明によれば、接着工程においてポリイミド膜を所定位置かつ所定押圧力下に置くことにより接着強度を増す。これにより、リードと突起との接着強度を増すことができる。

〔0028〕また、屋根工程では半導体チップに形成されている電極パッドと前記リードとを距離を引き回し形成するため、この引き回しを適直設定することにより、電極パッドのレイアウトに対してリードのレイアウトを変更することが可能となる。また、半導体装置はリード形成工程、接着工程、接着工程及び対止樹脂配線工程の4工程のみで製造される。このように少ない工程で半導体装置が製造されるため、生産効率を向上させることができる。

〔0029〕また、請求項8記載の発明によれば、ポリイミド膜として両面に熱可塑性を有する接着剤を配合したものを用いることにより、ポリイミド膜に印加する温度等を所定範囲内に制御することなく接着処理を行うことが可能となるため、接着処理を容易に行うことができる。

〔0030〕また、請求項9記載の発明によれば、接着工程で、電極パッドとリードとをダイレクトリードボンディング法を用いて電気的に接続するため、耐熱かつ確実に電極パッドとリードとの接続処理を行うことができる。また、請求項10及び請求項11記載の発明によれば、アウターリード部のリードピッチに対してインナーリード部のリードピッチが小さく設定されているため、インナーリード部が電気的に接続される半導体チップの電極パッドの配線ピッチが小さくてもこれに対応させることができ。かつ実装基板と電気的に接続されるアウターリード部のリードピッチは大きいため、実装基板への実装性を向上させることができる。また、突起がアウターリード部に形成されることにより、この突起を介して用いることにより、これによっても実装性を向上させることができる。

〔0031〕また、請求項12記載の発明によれば、第1のエッティング工程において突起の形成位置にマスクを配置した上で基材に対してハーフエッティングを行うことにより、突起形成位置を除く部分の板厚を薄くし、更に第2のエッティング工程においてリード形成位置にマスクを配置した上で第1のエッティング工程が終了した基材に対してエッティングを行うことにより、突起が一括的に形成されたリードを形成することができる。

〔0032〕ここで、リードを形成する間にリードのピッチは基材の板厚により決定されてしまう。具体的には、リードのピッチは基材の板厚と結構しいピッチにしか形成することはできない。よって、薄い板厚を用いる複数リードピッチを狭ピッチ化することができる。

〔0033〕ところが、突起が形成されるリードでは基材の板厚は突起の高さにより決まってしまい、突起の高さと新しい板厚を有する基材を単にニッティング処理したのでは狭ピッチのリードを形成することができない。しかるに、上記のように第1のエッティング工程において突起の形成位置を除く部分の板厚を薄くしておけば、

も狭ピッチのリード形成を行うことが可能となる。尚、上記改明から明らかなように、突起の配設ピッチは基材の板厚と略等しいピッチまで狭ピッチ化することができる。

〔0034〕また、請求項13記載の発明によれば、第1の基材及び第2の基材は互に合わせることにより突起の所定高さ寸法となるよう板厚が選定されているため、各基材の板厚は突起の高さ寸法より小さな厚さとされている。リードパターン形成工程では、この板厚の薄い第1の基材に対してリードの形状となるようリードパターンを形成するため、先に説明した板厚とリードピッチの関係により、形成されるリードパターンのリードピッチを狭ピッチ化することができる。

〔0035〕また、突起パターン形成工程において第2の基材に少なくとも前記突起の形成位置に位置するよう突起パターンを形成し、接着工程において上記第1の基材と第2の基材を重ね合わせ複合することにより、突起の形成位置においてリードパターンと突起パターンが複層され、この位置における板厚は突起の所定高さとなる。焼く除去工程では不要部分が除去されリードが形成される。

〔0036〕従って、上記のようにリードパターンの形成時には板厚は薄いためリードピッチを狭ピッチ化することができ、また突起形成位置においてはリードパターンと突起パターンが複層されることにより所定高さの突起を形成することができる。また、請求項14記載の発明によれば、リードパターンを形成するリードパターン形成工程と、突起を形成する突起形成工程とを別個に行うことにより、基材の厚さを突起の高さに拘わらず選定することができ、よって薄い基材を用いることによりリードパターンの狭ピッチ化を図ることができる。また、突起形成工程においては、任意の高さを有する突起を形成することができとなり、設計の自由度を向上させることができる。

〔0037〕更に、請求項15乃至17記載の発明によれば、突起形成工程において突起の形成を容易に行うことができる。

〔0038〕

〔実施例〕次に本発明の実施例について図面と共に説明する。図1及び図2は、本発明の一実施例である半導体装置1を示している。図1は半導体装置1の断面図であり、また図2は半導体装置1を底面図である。

〔0039〕各図に示されるように、半導体装置1は大略すると半導体チップ2、左側のリード3、封止樹脂4、及びバンブ5等により構成されている。半導体チップ2は、底面の中央位置に複数の電極パッド6が一列に配設されている。また、左側のリード3は、テクノロジ

〔0040〕このポリイミド膜7は、半導体チップ2の上に形成された回路膜2Aとリード3とを電気的に接続する絕縁部材として機能すると共に、近接するようにポリイミド膜7は半導体チップ2とリード3とを接続する接着剤として機能している。このように、ポリイミド膜7に絕縁部材と接着剤の双方の機能を持たせることにより、絕縁材と接着剤とを別個に配設する構成に比べ、半導体装置1の構造の簡素化及び製造の容易化を図ることができる。

〔0041〕また、インナーリード膜3aと半導体チップ2に形成された電極パッド6との間にワイヤ8が配設されており、このワイヤ8を介して半導体チップ2とリード3は電気的に接続された構造とされている。更に、各リード3に付けられたアウターリード膜3bの所定位置には、外部接続端子となる突起9が一体的に形成されている。上記構成とされたリード3は、各図に示されるようにその大部分が半導体チップ2の底面上に配設された構成の、いわゆるリード・オン・チップ(LO-C)構造となっており、半導体装置1の小型化が図られている。

〔0042〕また、封止樹脂4は例えばエポキシ樹脂によりなり、前述するようにモールディングにより形成されている。この封止樹脂4は、半導体チップ2の底面及び側面の所定範囲に配設されている。しかるに本実施例では、半導体チップ2の上面においては、耐熱性を向上せしめより封止樹脂4は配設されていない構成とされている。.

〔0043〕上記封止樹脂4に、半導体チップ2の電極パッド6の配設面(底面)を基材とし、この底面からの厚さ(図中、矢印Hで示す)が、底面から突起9の先端までの高さ寸法(図中、矢印Wで示す)以下で、かつ底面からワイヤ8のループ最上部までの高さ寸法(図中、矢印hで示す)以上となるよう構成されている(hsH < W)。この構成とすることにより、突起9の少なくとも先端部9aは確実に封止樹脂4から露出し、またワイヤ8及び突起9の露出部分を除くリード3は封止樹脂4に封止された構成となる。

〔0044〕このように、本実施例の半導体装置1は、半導体チップ2の所定範囲(上面を除く部位)を封止樹脂4にて止された構成となるため、耐熱性、機械的強度及び耐屈性を向上させることができ。また、封止樹脂4はワイヤ8を確実に保護するため、これによっても半導体装置1のはね性を向上させることができ。更に外部接続端子となる突起9の少なくとも先端部9aとは確実に封止樹脂4から露出するため、突起基板10との電気的接続を確実に行うことができる。

〔0045〕ここで、図2を用いて半導体チップ2の外

ている。同図に示されるように、リード3は隣接するインナーリード部3aのリードピッチ（図中、矢印P...で示す）が隣接するアウターリード部3bのリードピッチ（図中、矢印P...で示す）よりも小さくなるよう形成されている。具体的には、インナーリード部3aのリードピッチP...はアウターリード部3bのリードピッチP...の約半分のピッチ（ $P_{...} = P_{...} / 2$ ）となるよう構成されている。また、後に詳述するように、アウターリード部3b上のリードピッチP...は突起9の形成位置におけるリード3の厚さWとが略等しくなるよう構成されている（P... ≈ W）。

〔0046〕上記のように、アウターリード部3bのリードピッチP...に対してインナーリード部3aのリードピッチP...が小さく設定されることにより、インナーリード部3aが電気的に隣接される半導体チップ2の電極パッド6の記録ピッチが小さくてもこれに対応させることができ、かつ実装基板10と電気的に隣接されるアウターリード部3b（突起9）のリードピッチP...は大きいため、半導体装置1の実装基板10に対する実装性を向上させることができる。

〔0047〕一方、本実施例に係る半導体装置1は、半導体チップ2に配設されている電極パッド6に隣接パンプ5を形成し実装基板10に隣接するのではなく、電極パッド6とインナーリード部3aとの間にワイヤ8を引き回した上でリード3を介して実装基板10に隣接する構成とされている。従って、電極パッド6をリード3及びワイヤ8を用いて引き回すことができるため、リード3のレイアウトを電極パッド6のレイアウトに向わらず設定することが可能となる。

〔0048〕具体的には、図2に示す例では、半導体チップ2の中央に形成されている電極パッド6をワイヤ8及びリード3を用いて引き回し、外部接続端子となる突起9を半導体チップ2の外周位置に引き出している。また、図3に示されるように、電極パッド6が半導体チップ2の外周位置に形成されている場合には、本発明を適用して電極パッド6をワイヤ8及びリード3を用いて引き回すことにより、電極パッド6の形成位置より内側に外部接続端子となる突起9を形成することも可能である。更に、図4に示されるように、外部接続端子となる突起9を半導体チップ2の外側位置に配設することも可能となる。

〔0049〕このように、電極パッド6をリード3及びワイヤ8を用いて引き回すことが可能となることにより、実装基板10と半導体チップ2とのマッチング性を向上させることができ、外部接続端子となる突起9のレイアウトを隣接パンプ5のレイアウトに容易に設定することができる。よって、半導体装置1を用いるユーザ側の負担を軽減することができる。

は、リード形成工程、板合工程、隣接工程及び封止工程を記録工程の基本となる4工程と、これに付随するパンチ形成工程、放線工程の2工程を行うことにより記録される。以下、各工程毎に説明するものとする。

〔0051〕図5乃至図9はリード形成工程の第1実施例を示している。このリード形成工程に、リード3の基材となるリードフレーム11を形成するための工程である。リードフレーム11を形成するには、まず図5に示されたような平板状の基材12を用意する。この基材12は、例えば4.2アロイのリードフレーム材料である。またその板厚は形成しようとする突起9の厚さであるWと等しいものが選定されている。

〔0052〕上記の基材12に対しては、まず図6に示されたようにマスク13（露地で示す）が配置される。このマスク13は、所定の突起9の形成位置（図中、参照番号14で示す）及びクレドール形成位置（図中、参照番号15で示す）に配設される。

〔0053〕上記のようにマスク13が配置されると、次いで基材12に対してハーフエッティング処理（第1のエッティング工程）が実施される。本実施例においては、ウェットエッティング法により基材12に対してハーフエッティング処理を行っている（ドライエッティング処理等の他のエッティング方法を用いることも可能である）。またエッティング時間は、エッティングにより設食される部分（図6で白線で示される部分）の厚さが、基材12の板厚Wの半分の寸法（W/2）となるよう設定されている。

〔0054〕このハーフエッティング処理が終了し、マスク13を取り除いた状態を図7に示す。この状態では、突起9の形成位置14及びクレドール形成位置15のみが元の基材12の厚さWを保持しており、他の部分（参照番号16で示す）はハーフニッティングによりその厚さ寸法はW/2となっている。

〔0055〕上記のようにハーフエッティング処理が終了する。次いで図8に示されるように所定のリード3の形成位置（参照番号18で示す）及びクレドール形成位置15にマスク17（露地で示す）を配設した上で、この基材12に対してエッティング処理を行う。

〔0056〕上記のようにマスク17が配設されると、次いで基材12に対してエッティング処理（第2のエッティング工程）が実施され基材12のマスク17が配設された位置以外の部分を除去する。これにより、図9に示すリード3の所定形状を有した複数のリード3を形成するリードフレーム11が形成される。尚、必要に応じてこのリードフレーム11の所定部は（リード3の形成位置）にエッチング等を施してもよい。

〔0057〕このように形成されたリードフレーム11は、リード3を形成するリードフレーム11に

一リード部3a及び突起9の形成位置を除くアウターリード部3bの厚さ寸法はW/2となっている。

〔0058〕ここで、リードピッチと基材12の板厚との関係について説明する。前記したように、リード3を形成する際にリード3のピッチは基材12の板厚により決定されてしまい、具体的にはリードピッチは基材12の板厚とは等しいピッチにしか形成することはできない。よって、基材12の板厚が用い抜リードピッチを抜ピッチャ化することができる。

〔0059〕ところが、突起9が形成されるリード3では基材12の板厚は突起9の高さにより決まってしまい、突起9の高さと等しい板厚を有する基材12を単にエッチング処理したのでは抜ピッチャのリードを形成することができない。しかるに、上記したように第1のエッチング工程においてハーフエッチング処理を実施することにより、突起形成位置14を除き基材12の板厚を薄くし(約W/2の板厚となるようにする)、更にこの薄くされた板厚を有する部分に第2のエッチング工程を実施してリード3を形成することにより、突起9を有するリード3であっても抜ピッチャ(図1に示されるリードピッチャP...)のリード形成を行なうことが可能となる。また、両側の理由により、突起9(アウターリード部3b)の配設ピッチ(P...)は、基材12の板厚Wと等しいピッチまで抜ピッチャ化することが可能となる。

〔0060〕尚、具体例としては、一般にリード基材として用いられている板厚0.10mm、0.15mm、0.20mmの基材を例に挙げれば、板厚0.10mmの基材ではアウターリード部3b及び突起9の最小ピッチP...を0.10mm(P...=0.10mm)、インナーリード部3aの最小ピッチP...を0.15mm(P...=0.05mm)とすることができる。また、板厚0.15mmの基材ではアウターリード部3b及び突起9の最小ピッチP...を0.15mm(P...=0.15mm)、インナーリード部3aの最小ピッチP...を0.075mm(P...=0.075mm)とすることができる。更に、板厚0.20mmの基材ではアウターリード部3b及び突起9の最小ピッチP...を0.20mm(P...=0.20mm)、インナーリード部3aの最小ピッチP...を0.10mm(P...=0.10mm)とすることができる。

〔0061〕一方、突起9の形成位置に注目すると、突起9の形成位置は図6に示されるマスク13の配置位置により決められる。即ち、この図6に示されるマスク13の配置位置を適宜変更することにより、突起9の形成位置を任意設定することが可能となる。このため、本実例に係るリード形成方法では、外板厚既定子となる突起9の形成位置を自由度をもって設定することができ、かつて示されたようには本実例が既定位置に突起を容易に形成することが可能となる。

ム20を形成するには、先ず図10に示されるような第1の基材21と、図11に示されるような第2の基材22を用意する。

〔0063〕この各基材21、22は、重ね合わせることにより突起9の所定高さ寸法Wとなるよう板厚が既定されており、本実施例では各基材21、22の板厚寸法は共にW/2に既定されている。尚、各基材21、22の板厚はこれに既定されるものではなく、重ね合わせることにより突起9の所定高さ寸法Wとなる板厚の基に各基材21、22で板厚を異なせた構成としてもよい。

〔0064〕図10に示される第1の基材21は、例え

ば42アロイ等のリードフレーム材料により既成されており、エッチング処理或いはプレス打ち抜き処理等を予め実施することにより、平面状の場合にリード3と同一形状のリードバターン23が形成された構成とされている。しかるに、第1実施例で説明したリード既成工程と異なり、この状態のリードバターン23には突起9は形成されておらず、よってリードバターン23は全般的にその板厚がW/2とされている。尚、図中25で示すのは位置決め孔であり、リードバターン23の形成時に一括的に形成されるものである。

〔0065〕一方、図11に示される第2の基材22は、予め42アロイ等のリードフレーム材料に対しエッチング処理或いはプレス打ち抜き処理等を実施することにより、突起バターン24が形成された構成とされている。この突起バターン24は直線状のバターン形状を有しており、所定の突起9の形成位置を標示するよう既成されている。尚、図26は位置決め孔であり、突起バターン24の形成時に一括的に形成されるものである。

〔0066〕上記構成とされた第1の基材21及び第2の基材22は、位置決め孔25、26を用いて位置決めされつつ重ね合わせ操作される。この第1及び第2の基材21、22の複合は、導電性接着剤を用いて接着してもよく、また溶接により接着してもよい。図12は、第1の基材21と第2の基材22とが複合された状態を示している。

〔0067〕上記のように第1の基材21と第2の基材22とが複合された状態で、第2の基材22に形成されている突起バターン24は、第1の基材21に形成されているリードバターン23の所定突起形成位置の上部に重ね合わせられるよう既成されている。

〔0068〕図13は、リードバターン23と突起バターン24とが重なり合った部位を拡大して示す平面図であり、また図14はリードバターン23と突起バターン24とが重なり合った部位を拡大して示す断面図である。各部から明らかのように、板厚寸法W/2のリードバターン23と、同じく板厚寸法W/2の突起バターン24

〔0069〕上記のように第1の基材21と第2の基材22との接合処理が終了すると、残いて不要部分、具体的には突起パターン24のリードパターン23と交差した部分を除く部位をプレス加工等により除去することにより、図15に示すように突起9が一体的に形成されたリード3を有するリードフレーム20が形成される。

〔0070〕上記のように、本実施例により製造されたリードフレーム20も第1実施例で製造されたリードフレーム11と同様に、リード3はインナーリード部3a、アウターリード部3b及び突起9が一体的に形成された構成となる。また、図10に示すリードパターン23の形成時ににおいては、第1の基材21の板厚はW/2とされているため、先に説明した板厚とリードピッチの関係から明らかかなように、狭ピッチのリードパターン23を形成することができる。

〔0071〕一方、突起9の形成位置には目すると、突起9の形成位置は第2の基材22に形成される突起パターン24の形成位置により決められる。即ち、この突起パターン24の形成位置を適宜変更することにより、突起9の形成位置を任意設定することが可能となる。このため、本実施例に係るリード形成方法においても、外部接続端子となる突起9の形成位置を自由度をもって設定することができ、よって予め定められている接線外部接続端子位置に突起9を容易に形成することができる。

〔0072〕上記のようにリード形成工程を実施することによりリードフレーム11、20（以下の説明では、リードフレーム11を用いた場合を例に挙げて説明する）が形成されると、残いてリードフレーム11と半導体チップ2を複合する複合工程が実施される。以下、図16乃至図20を用いて複合工程について説明する。

〔0073〕複合工程においては、先ず図16に示されるようにリードフレーム11のインナーリード部3a（便宜上、後述する複合工程においてワイヤ8がボンディングされる部位）に金メッキを施すことにより、ボンディングパッド部27を形成する。

〔0074〕また、図17に示されるように、半導体チップ2の電極パッド6の形成された面には、この電極パッド6の形成部位のみが露出する構成でポリイミド膜7が配置される。このポリイミド膜7はガラス転移点が100～300℃のものが選定されており、図17に示される状態では單に半導体チップ2に配置されただけの状態となっている。従って、ポリイミド膜7が脱落しないよう、半導体チップ2は電極パッド6の形成面が上部に位置するよう配置されている。尚、半導体チップ2は耐衝撃性は行われておらずペアチップ状態でいる。また、上記のポリイミド膜7は、半導体チップ2を形成す

るされ半導体チップ2には、図16に示されるようにリードフレーム11が配置される。この際、リードフレーム11に配置されているリード3（インナーリード部3a）と、半導体チップ2に形成されている電極パッド6とが板厚よく対向するよう、リードフレーム11は位置決めされる。

〔0076〕上記のようにリードフレーム11が半導体チップ2上の所定位置に配置されると、残いて図19に示されるように治具28が下し、リードフレーム11を半導体チップ2に向け押圧する。また、この治具28は加熱装置を具備しており、治具28で発生する熱はリードフレーム11を介してポリイミド膜7に印加される。

〔0077〕上記ポリイミド膜7は、半導体チップ2とリードフレーム11とを電気的に接続する絶縁基材として從来より一般的に用いられているものであるが、本発明者はこのポリイミド膜7を所定の実験条件にて僅くことにより接着剤として使用することを発見した。具体的には、ポリイミド膜7としてガラス転移点が100～300℃のものを使用し、かつこのポリイミド膜7をガラス転移点+100～200℃に加熱すると共に、1～1.5kg/cm<sup>2</sup>の押圧力を印加することにより、ポリイミド膜7は接着剤として機能するようになる。

〔0078〕よって、本実施例では上記の点に注目し、半導体チップ2とリードフレーム11との接合時に、治具28に設けられているヒータによりポリイミド膜7をガラス転移点+100～200℃に加熱すると共に、治具28の加工によりポリイミド膜7を1～1.0kg/cm<sup>2</sup>の押圧力を印加する構成としている。これにより、ポリイミド膜7は接着剤として機能するようになり、半導体チップ2とリードフレーム11とをポリイミド膜7を用いて接続することが可能となる。

〔0079〕上記構成とすることにより、従来では必要とされたポリイミド膜を半導体チップ2及びリードフレーム11と接着するための接着剤は不要となり、製品コストの低減及び半導体装置1の組み立て工数の低減を図ることができる。図20は、半導体チップ2とリードフレーム11とがポリイミド膜7により複合された状態を示している。

〔0080〕尚、半導体チップ2とリードフレーム11との接合は、ポリイミド膜7を用いて複合する方法に限定されるものではなく、従来のようにポリイミド膜の両面に接着剤を塗布しておき、この接着剤によりポリイミド膜を介してたがまで半導体チップ2とリードフレーム11とを複合する方法を用いてよい。この複合では、ポリイミド膜に与える温度範囲及び押圧力範囲が不適となり、接着剤を完全に溶かすことができず、

ド3と半導体チップ2に形成されている電極パッド6とをワイア8で電気的には接する接続工程が実施される。  
〔0082〕図21は、キャビラリ29を用いてワイア(例えば金ワイア)8をリード3に形成されたボンディングパッド部27(図16参照)と電極パッド6との間に配線する処理を示している。所知のように、半導体装置1の電気的特性を向上させる面からはワイア8の長さは短い方がよく、また半導体装置1の小型化扁型化のためにはワイア8は逆ループであることが望ましい。

〔0083〕このため、ワイア8を配線するのに逆ループボンディング法を用いることが望ましい。逆ループボンディング法も種々の方法が提案されているが、例えば先ず半導体チップ2に形成されている電極パッド6にワイア8をボンディングし、次いで垂直上方にキャビラリ29を移動させた後に水平方向に移動させてリード3にボンディングする、いわゆる逆打ち法を用いる構成としてもよい。

〔0084〕上記のように、リード3と電極パッド6とを電気的には接するのにワイアボンディング法を用いることにより、容易かつ高速度には接続処理を行うことができる。また、リード3と電極パッド6との間ににおけるワイア8の引き回しも比較的の自由度を持って行うことができる。尚、図22は、接続工程を実施することによりリード3と電極パッド6との間にワイア8が配線された状態を示している。

〔0085〕上記のように接続工程を実施することにより、電極パッド6とリード3とがワイア8により電気的に接続されると、次いで半導体チップ2の所定部分に封止樹脂4を配線する封止樹脂配線工程が実施される。以下、図23乃至図25を用いて封止樹脂配線工程について説明する。

〔0086〕図23は、上記の各工程を実施することによりリードフレーム11、ワイア8等が配線された半導体チップ2を金型30に装着した状態を示している。金型30は上型31と下型32により構成されており、リードフレーム11が上型31と下型32との間にクランプされることにより、半導体チップ2は金型30内に固定される。

〔0087〕上型31は、半導体チップ2が固定された状態で突起9及びリードフレーム11のクレードル33と当接する構成とされている。突起9の高さとクレードル33の高さは等しいため、よって上型31の形状は半球形状とされている。また、下型32は固定された半導体チップ2の側部に空間部を有したキャビティ形状を有しており、また半導体チップ2の周における底面はキャビティ33の底面と当接する構成とされている。

〔0088〕このように、片側を封止工程で用いる上

装置1の製造コストの低減に寄与することができる。

〔0089〕図24は金型30に封止樹脂4(製造で示す)を充填した状態を示している。金型30に封止樹脂4を充填することにより、半導体チップ2の下型31と当接した上面(図23乃至図25では下部に位置する)を除く外周面は封止樹脂4により封止される。また、ニードルチップ2の底面に配線されているリード3及びワイア8も封止樹脂4により封止された状態となる。また、突起9も上型31と当接している端部を除き封止樹脂4により封止された構成となる。

〔0090〕図25は、封止樹脂4が充填処理された半導体チップ2を金型30から離型した状態を示している。同図に示されるように、半導体チップ2の上面2aは封止樹脂4より高出しておらず、よってこの上面2aより半導体チップ2で発生する熱を効率よく放熱させることができる。また、突起9の端部9aも封止樹脂4から外部に露出しており、従ってこの端部9aを外部接続端子として用いることができる。

〔0091〕図25に示される状態において、図中一点頭線で示す箇所でリードフレーム11を切断することにより半導体装置を構成しても、図1に示す半導体装置1と同様の効果を実現することができる。しかるに、図25に示す状態では、外部接続端子として機能する突起9の端部9aが封止樹脂4の表面と貼り合っているため、実装基板10に対する実装性が不良である。このため、本実施例においては、封止樹脂配線工程が終了した後、端部9aにパン断5を形成するパンプ形成工程を実施している。以下、パンプ形成工程を図26乃至図30を用いて説明する。

〔0092〕パンプ形成工程においては、先ず図26に示すように、封止樹脂4が配線された半導体チップ2の全面に対してボーニング処理を行い、残存する樹脂層等を除去すると共に、突起9の端部9aを残す外部に露出させる。ボーニング処理が終了すると、次いで図27に示すように、封止樹脂4が配線された半導体チップ2を半田錠34に接觸し、突起9の端部9aに半田を用いて外部メッキを行う(半田錠を参照番号35で示す)。この外部メッキに用いる半田としては、例えばPb:S<sub>n</sub>=1:9の組成比を有する半田の通用が考えられる。

〔0093〕図28は、上記の外部メッキにより突起9の端部9aに半田錠35が形成された状態を示している。

〔0094〕上記のように外部メッキ処理が終了すると、次いで半田錠35が形成された突起9の端部9aにパンプ5が形成される。このパンプ5の形成方法としては種々の方法を用用することができ、例えば効率よくかつ容易にパンプ5を形成しうる反応性パンプ方法を用いてもよい。図29は、パンプ5が突起9の表面を

リードフレーム11の切断処理が行われ、これにより、図30に示される半導体装置1が形成される。尚、このリードフレーム11の切断処理に先立ち、切断処理を容易にするためにリードフレーム11の切断箇所にハーフエッティング処理を行ってもよい。

〔0095〕上記のように製造された半導体装置1に対しては、既て適正に作動するかどうかを確認する試験工程が実施される。図31及び図33は、天々異なる半導体装置1の試験方法を示している。図31に示される試験方法では、バンプ5を接着する構成とされたソケット36を用い、このソケット36に半導体装置1を接続することによりバーン等の試験を行うものである。

〔0096〕また、図32に示される試験方法は、プローブ37を用いて半導体装置1の試験を行う方法である。半導体装置1は、封止樹脂4の樹脂位置にリード3の端部が封止樹脂4から露出した構成とされている。本試験方法では、これをを利用して封止樹脂4から露出したリード3にプローブ37を接触させて試験を行う構成とされている。よって、本試験方法を採用することにより、半導体装置1を実装基板10に実装した後においても試験を行うことが可能となる。

〔0097〕図33は、半導体装置1を実装基板10に実装する実装工程を示している。半導体装置1を実装基板10に実装する方法としては、既知の種々の方法を採用することができる。例えば、赤外線リフロー法を用い、半導体装置1に受けられているバンプ5を実装基板10に形成されている電極部38にペースト等を用いて仮止めし、その上で赤外線リフロー炉においてバンプ5を熔融させることによりバンプ5と電極部38とを接合する方法を用いてもよい。

〔0098〕既て、上記した半導体装置の製造方法の実用例について以下説明する。図34乃至図37は、天々突起9の実用例を示している。図34(A)、(B)に示される突起9Aは、その形状を円柱状とした構成である。また、図37(C)に示される突起9Bは、その形状を角柱状とした構成である。このように、突起9、9A、9Bの平面形状は種々選定できるものであり、バンプ5の接着性及び実装基板10に形成されている電極部38の形状等に応じて任意に形状を選定することができる。具体的には、例えばエッティング等により突起9、9A、9Bを形成する場合には、図6に示す突起形成位置14に配置するマスク13の形状を適宜選択することにより突起9、9A、9Bの平面形状を容易に所望する形状とすることができます。

〔0099〕また、図35(A)に示される突起9Cのように上面に円柱状凹部を形成した構成としてもよく、図35(B)に示される突起9Dのように上面中央部に凹部を形成した構成としてもよい。

Eによれば、突起表面における面積を大きくすることができるバンプ5との接着性の向上を図ることができる。尚、上記の突起9C～9Eは、リード3の所定突起形成位置に、導電性接着剤等を用いて固定された構成とされている。

〔0100〕また図35(D)に示すのは、リード3をプレス加工等により塑性変形させることにより突起9Fを形成したものである。このようにプレス加工等の塑性加工を用いて突起9Fを形成することにより、極めて容易に突起9Fを形成することができる。しかるに、この形成方法では、突起9Fの高さは塑性加工限界を上限とし、それ以上の高さに設定することはできないという問題点もある。

〔0101〕また、図36に示すのは、突起9Gを形成するのにワイヤボンディング技術を用い、スタッドバンプ37を突起9Gに形成することにより突起9Gとしたことを特徴とするものである。図36(A)は突起9Gの形成方法を示しており、また図36(B)は突起9Gを拡大して示している。

〔0102〕上記のように、突起9Gをワイヤボンディング技術を用いスタッドバンプで形成することにより、任意の位置に突起9Gを形成することが可能となり、外部接続端子となる突起9Gを所定位置に容易に形成することができる。また、突起9Gの形成は、半導体装置の製造工程の内、接続工程においてワイヤ8の配線時に一括的に形成することができる。よって、製造工程の簡略化を図ることができる。

〔0103〕また、突起9Gの高さはスタッドバンプを複数重ねて配設することにより任意に設定することができる。図37(A)に示される突起9Hは、スタッドバンプを3個重ねることにより図36(B)に示される1個のスタッドバンプにより突起9Gを形成した構成に比べて高さを高くしたものである。

〔0104〕また突起の高さを高くする処の方法として、図37(B)に示されるように予めリード3にブロック状の導電性部材41を導電性接着剤等により固定しておき、この導電性部材41の上部に図37(C)に示されるようにスタッドバンプ42を形成し、接着された導電性部材41とスタッドバンプ42とが接触して突起9Iを形成する構成としてもよい。この構成の場合、突起9Iの高さは導電性部材41の高さにより決められることとなるが、ブロック状の導電性部材41は種々の大きさのものが提供されており、よって突起9Iの高さを任意に設定することができる。

〔0105〕図38は、該工種の実用例を示している。上記した実用例では、図16乃至図20に示したように半導体チップ2とリードフレーム11とを実装基板10上に接続する接続構造を示す。

ム】1とを組合する構成としてもよい。

【0106】また、テープ状接着剤45の配置位置は、半導体チップ2の上面だけではなく、図38に示されるようリードフレーム11の下面にも設けてもよく、またリードフレーム11の下面のみに設けた構成としてもよい。更に、テープ状接着剤45の配置範囲は、電極パッド6の形成位置を除く図中矢印Xで示す範囲であれば、自由に設定することができる。尚、テープ状接着剤45は、半導体チップ2とリードフレーム11とを電気的に接続する必要があるため、絕縁性接着剤である必要がある。

【0107】図39乃至図42は、接続工段の実施例を示している。上記した実施例では、図21及び図22に示されるように電極パッド6とリード3とを接続するのにワイヤ8を用いた構成を示したが、図39乃至図42に示す実施例では電極パッド6とリード3とを直接接続するダイレクトリードボンディング(DLB)方法を用いたことを特徴としている。

【0108】図39及び図40に示す例では、リード3を例えれば超音波振動子に接続された組合部46を用いて直接的に電極パッド6に接合する構成とされている。しかるに、この構成では超音波振動する組合部46により、電極パッド6にダメージが発生するおそれがある。

【0109】そこで図41及び図42に示す例では、予め電極パッド6にスタッドバンプ47を配置しておき、このスタッドバンプ47にリード3を当接させた上で加熱治具48を用いてスタッドバンプ47を加熱溶解し電極パッド6とリード3を接続する構成とされている。この接続方法によれば、電極パッド6が損傷するおそれではなく、接続工段の信頼性を向上させることができる。

【0110】また、図39乃至図42に示した接続工段によれば、ワイヤ8を用いて電極パッド6とリード3を接続する構成に比べて電気抵抗を低減できるため、半導体装置1の電気特性を向上させることができ、高圧の半導体チップ2に対応することができる。

【0111】図43乃至図44は、封止樹脂配設工段の実施例を示している。上記した実施例では、図23及び図24に示されるように金型30を構成する下型32のキャビティ底面は半導体チップ2の上面28と直接当接し、この上面28には放熱特性を向上させる面から封止樹脂4が配置されない構成とされていた。

【0112】しかるに、半導体装置1が使用される環境が厳しい(例えは、多湿環境)時には放熱性よりも耐温性をより必要とする場合が生じ、このような場合には封止樹脂4により半導体チップ2を完全に封止する必要がある。図43及び図44に示す金型30には、半導体チップ2を封止する上で完全に封止する構成とされている。

キャビティ52が、図43に示されるように半導体チップ2の外周面から離間しており、よって図44に示されるように封止樹脂4を金型に充填した状態で半導体チップ2の上面に封止樹脂4に封止された構成となる。このように、半導体チップ2に対する封止樹脂4の配置位置は、金型30、50に形成されるキャビティ33、52の形状を適宜変更することにより位置に設定することができる。

【0114】また、上型31にリード3に形成された突起9を嵌着する凹部を形成しておくことにより、図45に示されるような突起9が封止樹脂4から大きく突出した構成の半導体装置60を形成することも可能である。図45に示す半導体装置60は、突起9が封止樹脂4から大きく突出しているため実装基板10に対する実装性は良好であり、よって前記した実施例による半導体装置1のようパンプ5を設ける必要はなく、半導体装置60の接続工段の簡略化を図ることができる。

【0115】

【発明の効果】 上述の如く本発明によれば、下記の複数の効果を実現することができる。請求項1及び請求項2記載の発明によれば、半導体チップは封止樹脂により封止されるため、耐熱性、強度及び耐久性を向上させることができる。また、電極パッドとリードとの間で配線を引き回すことができるため、リードのレイアウトを電極パッドのレイアウトに向わらず設定することができるとなり、実装基板とのマッチング性を向上させることができる。また、封止樹脂は引き回された配線を確實に保護するためこれによても信頼性を向上させることができ、また外部接続端子は封止樹脂から露出しているため実装基板との電気的接続を実現に行うことができる。

【0116】また、請求項3記載の発明によれば、通常半導体チップとリードとの絶縁材として配置されるポリイミド膜を接着剤として用いてるため、半導体チップとリードの絶縁と組合せを一括的にを行うことができ、よって絶縁材と接着剤とを別途に配置する構成に比べて構造の簡略化及び製造の容易化を図ることができる。

【0117】また、請求項4記載の発明によれば、突起をリードと一緒に形成したことにより、突起とリードを別個の材料により構成する場合に比べて構造の簡略化を図ることができる。また、請求項5記載の発明によれば、配線としてワイヤを用いたことにより、前記した電極パッドとリードとの間ににおける配線の引き回しを省略に行うことができる。

【0118】また、請求項6記載の発明によれば、突起にパンプを形成したことにより、突起を直接実装基板に実装する構成に比べて、半導体装置の実装基板への接続を容易に行うことができる。また、請求項7記載の発明によれば、組合部を構成するリードと半導体チップとの接続を

構成としているため、リードと半導体チップとの接着と接着を一括的に行うことができる。

【0119】また、複数工程では半導体チップに形成されている電極パッドと前記リードとを配線を引き回し形成するため、この引き回しを適宜設定することにより、電極パッドのレイアウトに対してリードのレイアウトを変更することが可能となる。また、半導体装置はリード形成工程、接着工程、接続工程及び封止剤配線工程の4工程のみで製造される。このように少ない工程で半導体装置が製造されるため、生産効率を向上させることができる。

【0120】また、請求項8記載の発明によれば、ポリイミド膜に印加する圧度等を所定範囲内に制限することなく接着処理を行うことができるため、接着処理を容易に行うことができる。また、請求項8記載の発明によれば、複数工程で、電極パッドとリードとをダイレクトリードボンディング法を用いて電気的に接続するため、簡単かつ確実に電極パッドとリードとの接着処理を行うことができる。

【0121】また、請求項10及び請求項11記載の発明によれば、アウターリード部のリードピッチに対してインナーリード部のリードピッチが小さく設定されているため、インナーリード部が電気的に接続される半導体チップの電極パッドの配線ピッチが小さくてもこれに対応させることができ、かつ実装基板と電気的には接続されるアウターリード部のリードピッチは大きいため、実装基板への実装性を向上させることができる。また、突起がアウターリード部に形成されることにより、この突起を外側頂端端子して用いることができ、これによっても実装性を向上させることができる。

【0122】また、請求項12及び請求項13記載の発明によれば、突起が一体的に形成された突起部のリードを容易に形成することができる。また、請求項14記載の発明によれば、リードパターンを形成するリードパターン形成工程と、突起を形成する突起形成工程とを別途に行うことにより、基材の厚さを突起の高さに向かって選定することができ、よって薄い基材を用いることによりリードパターンの狭ピッチ化を図ることができる。また、突起形成工程においては、位置の高さを有する突起を形成することができる。また、位置の高さを有する突起を形成することができる。

【0123】更に、請求項15乃至17記載の発明によれば、突起形成工程において突起の形状を容易に行うことができる。

【図面の厚さな説明】

【図1】本発明の一実施例である半導体装置を示す断面図である。

示す底面図である。

【図4】本発明の一実施例である半導体装置の実施例を示す底面図である。

【図5】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、基材を示す図である。

【図6】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、所定位置にマスクを配線した状態を示す図である。

【図7】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、第1のエッチング工程が終了した状態を示す図である。

【図8】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、所定位置にマスクを配線した状態を示す図である。

【図9】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、完成したリードフレームを示す図である。

【図10】本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第1の基材を示す図である。

【図11】本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第2の基材を示す図である。

【図12】本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第1の基材と第2の基材を接合した状態を示す図である。

【図13】リードパターンと突起パターンとが重なり合った部位を拡大して示す平面図である。

【図14】リードパターンと突起パターンとが重なり合った部位を拡大して示す側面図である。

【図15】本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、完成したリードフレームを示す図である。

【図16】本発明に係る半導体装置の製造工程の接着工程を説明するための図であり、ボンディングパッド部の形成を説明するための図である。

【図17】本発明に係る半導体装置の製造工程の接着工程を説明するための図であり、半導体チップにポリイミド膜を配線する処理を説明するための図である。

【図18】本発明に係る半導体装置の製造工程の接着工程を説明するための図であり、半導体チップにリードフレームを配線する処理を説明するための図である。

【図19】本発明に係る半導体装置の製造工程の接着工程を説明するための図であり、ポリイミド膜を接着剤として機能させて半導体チップとリードフレームとを接着する処理を説明するための図である。

「下」」で示す二つはカーブミキサーアンプニード

示す図である。

【図21】本発明に係る半導体装置の製造工程の接着工程を説明するための図であり、キャビラリを用いてワイナの配線処理を行っている状態を示す図である。

【図22】本発明に係る半導体装置の製造工程の接着工程を説明するための図であり、電極パッドとリードとの間にワイナが配線された状態を示す図である。

【図23】本発明に係る半導体装置の製造工程の封止工程を説明するための図であり、半導体チップが金型に嵌入された状態を説明するための図である。

【図24】本発明に係る半導体装置の製造工程の封止工程を説明するための図であり、金型に封止部屋が充填された状態を説明するための図である。

【図25】本発明に係る半導体装置の製造工程の封止工程を説明するための図であり、耐振封止された半導体チップが金型から脱型された状態を説明するための図である。

【図26】本発明に係る半導体装置の製造工程のバンブ形成工程を説明するための図であり、ホーニング処理を実施している状態を示す図である。

【図27】本発明に係る半導体装置の製造工程のバンブ形成工程を説明するための図であり、外装メッキ処理を実施している状態を示す図である。

【図28】本発明に係る半導体装置の製造工程のバンブ形成工程を説明するための図であり、外装メッキ処理が終了した状態を示す図である。

【図29】本発明に係る半導体装置の製造工程のバンブ形成工程を説明するための図であり、バンブを形成した状態を示す図である。

【図30】本発明に係る半導体装置の製造工程のバンブ形成工程を説明するための図であり、元成した半導体装置を示す図である。

【図31】本発明に係る半導体装置の試験工程を説明するための図であり、ソケットを用いて試験を行う方法を示す図である。

【図32】本発明に係る半導体装置の試験工程を説明するための図であり、プローブを用いて試験を行う方法を示す図である。

【図33】半導体装置を実装基板に実装する実装工程を説明するための図である。

【図34】突起の平面形状を直ならせた変形性を示す図である。

【図35】突起の断面形状を直ならせた変形性を示す図である。

【図36】スタッドバンブにより突起を形成する構成を説明するための図である。

【図37】スタッドバンブにより突起を形成する構成の

【図39】接続構成の変形例を示す図であり、電極パッドに直接リードを作成する方法を説明するための図である。

【図40】接続構成の変形例を示す図であり、電極パッドに直接リードが接続された状態を示す図である。

【図41】接続構成の変形例を示す図であり、電極パッドにリードをスタッドバンブを介して接続する方法を説明するための図である。

【図42】接続構成の変形例を示す図であり、電極パッドにリードをスタッドバンブを介して接続した状態を示す図である。

【図43】封止樹脂形成工程の変形例を説明するための図であり、金型に半導体チップが嵌入された状態を示す図である。

【図44】封止樹脂形成工程の変形例を説明するための図であり、金型に封止部屋が充填された状態を示す図である。

【図45】突起が封止部屋より大きく突出した構成の半導体装置を示す図である。

【符号の説明】

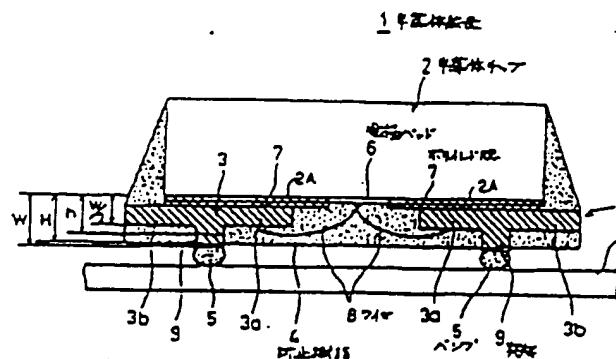
1. 60 半導体装置
2. 半導体チップ
3. リード
- 3a インナーリード部
- 3b アウターリード部
4. 封止樹脂
5. バンブ
6. 電極パッド
8. ワイヤ
9. 9A～9I 突起
10. 実装基板
11. 20 リードフレーム
12. 基材
13. 17 マスク
21. 第1の基材
22. 第2の基材
23. リードバターン
24. 突起バターン
28. 振動
29. キャビラリ
30. 50 金型
31. 上型
32. 51 下型
33. 52 キャビティ
34. 半田棒
35. 半田器
41. 適合性部材

## 48 加熱装置

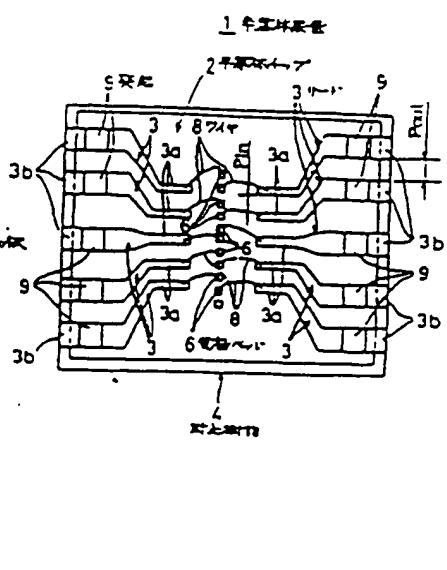
27

22

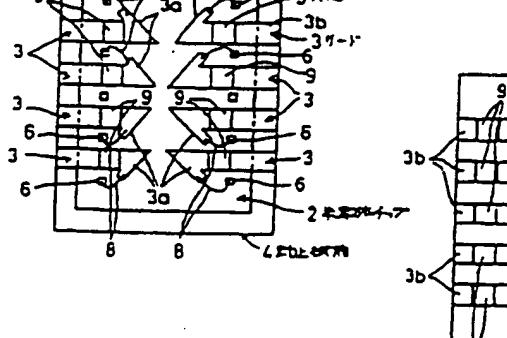
(図1)



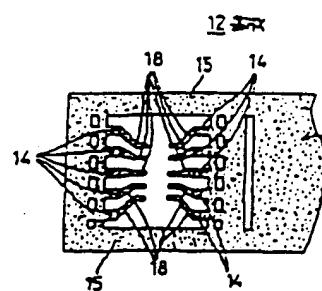
(図2)



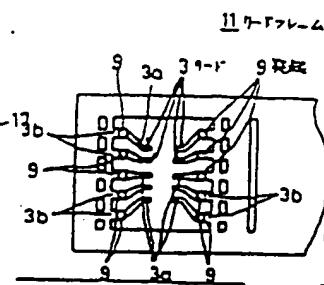
(図3)



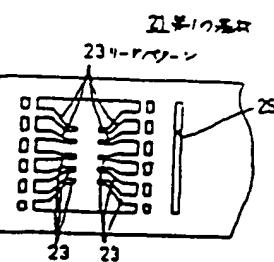
(図8)



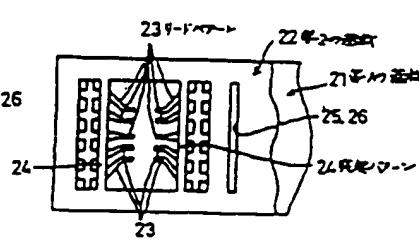
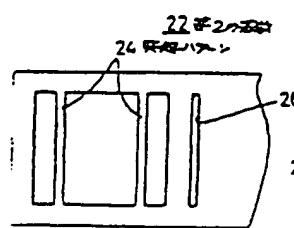
(図9)



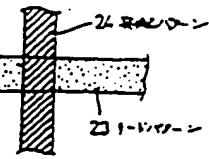
(図10)



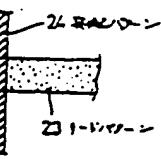
(図11)



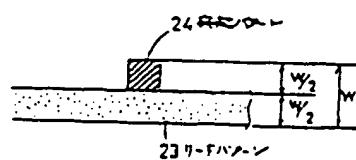
(図12)



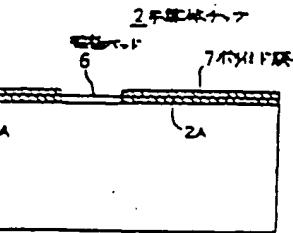
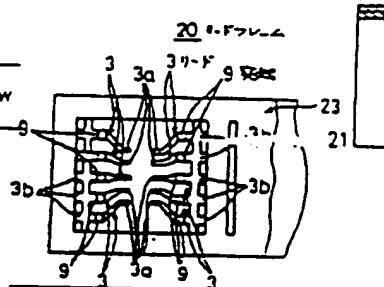
(図13)



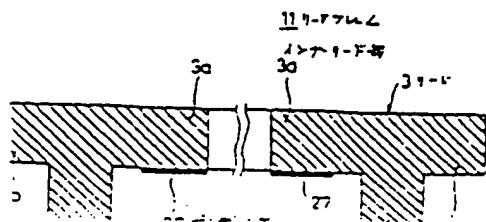
(図14)



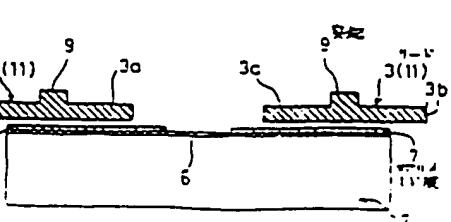
(図15)



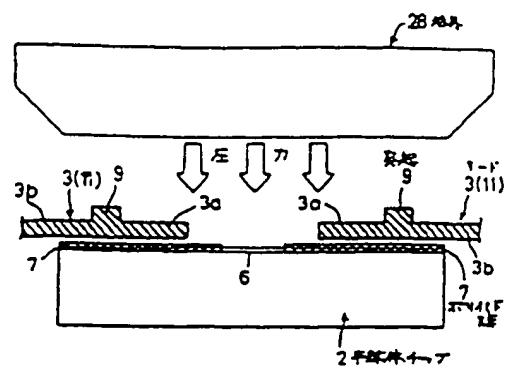
(図16)



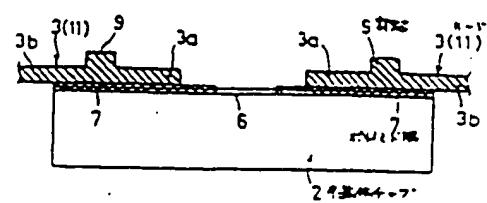
(図17)



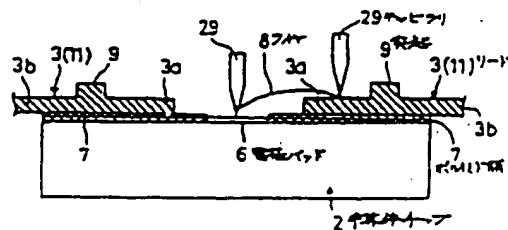
(図19)



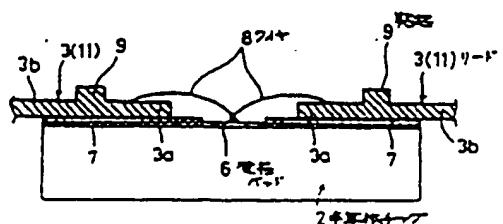
(図20)



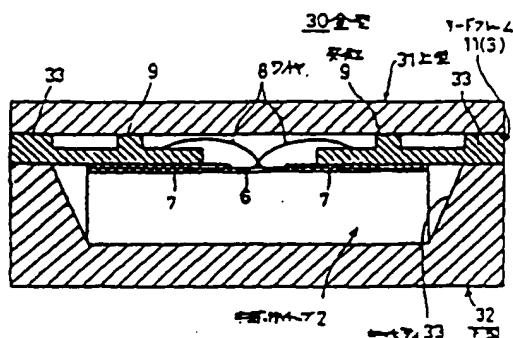
(図21)



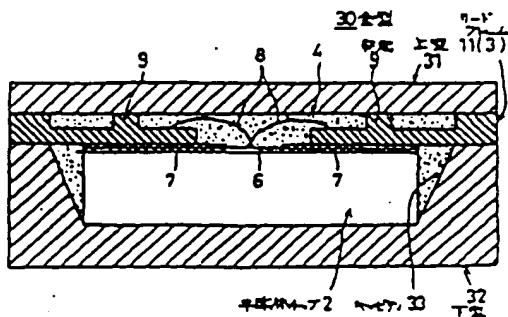
(図22)



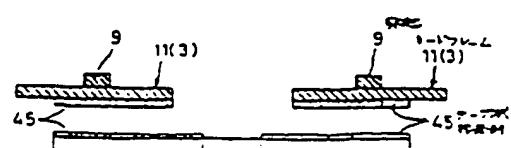
(図23)



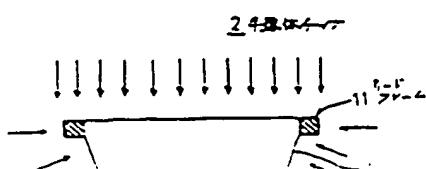
(図24)



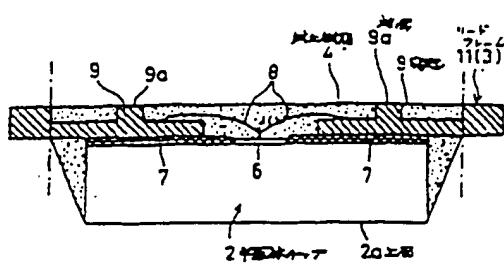
(図25)



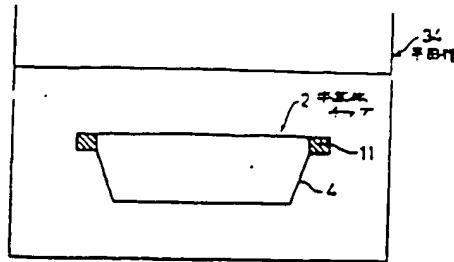
(図26)



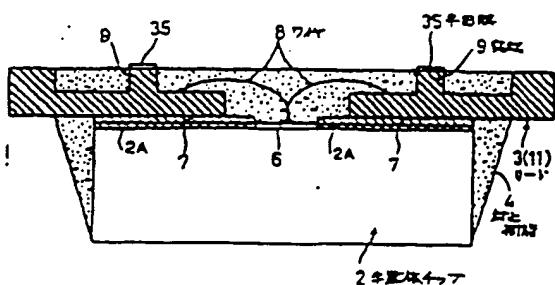
( 図 2 5 )



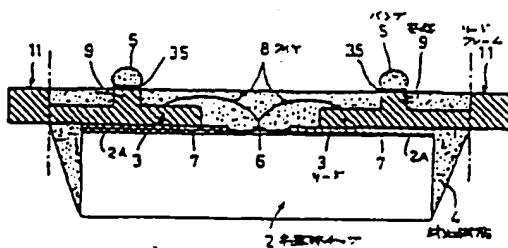
( 図 2 7 )



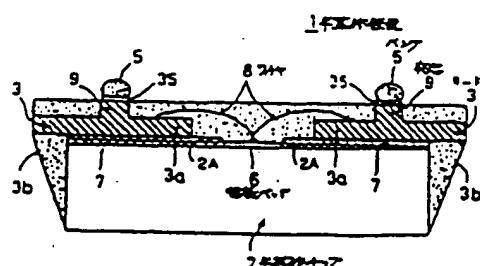
( 図 2 8 )



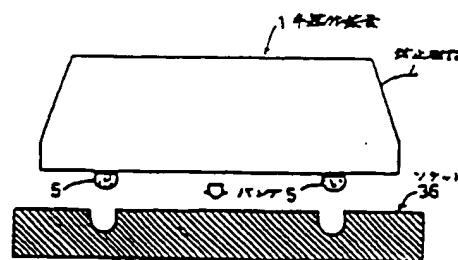
( 図 2 9 )



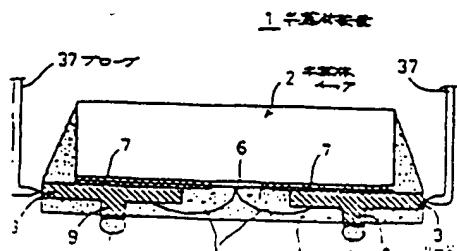
( 図 3 0 )



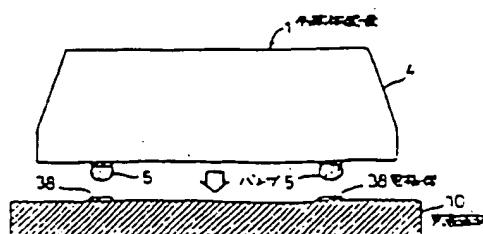
( 図 3 1 )



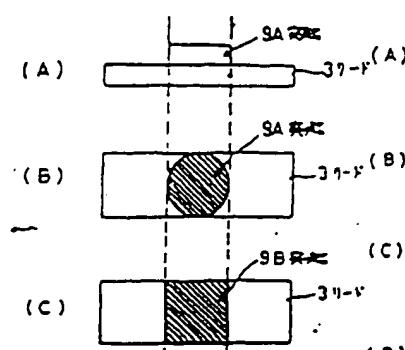
( 図 3 2 )



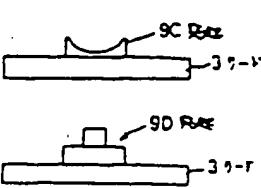
( 図 3 3 )



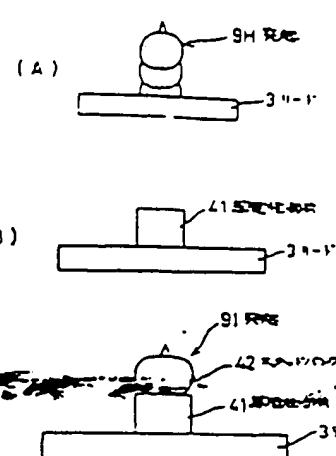
( 国 3 4 )



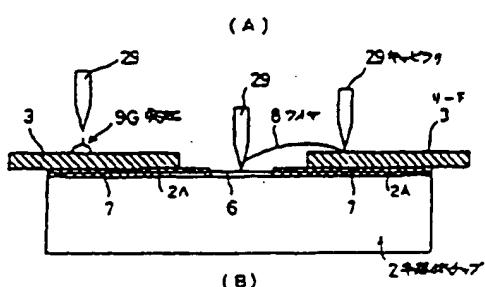
( 国 3 5 )



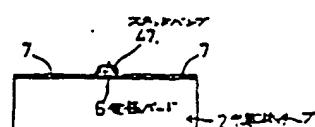
( 国 3 7 )



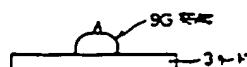
( 国 3 6 )



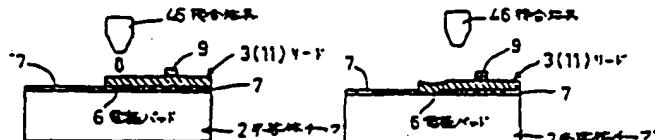
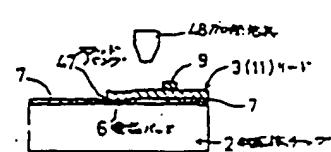
( 国 4 1 )



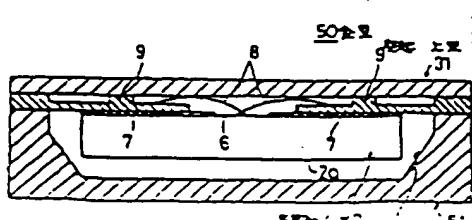
( 国 3 9 )



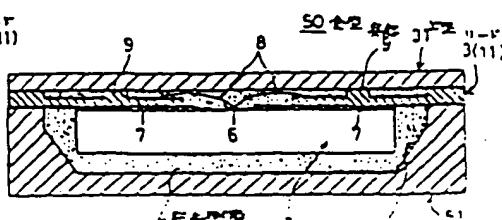
( 国 4 0 )



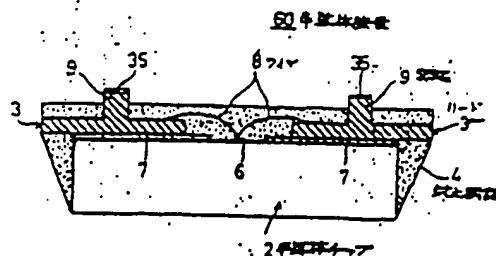
( 国 4 3 )



( 国 4 4 )



( 4 5 )



## フロントページの読み方

(72) 発明者 宇野 正

神奈川県川崎市中原区上小田中1015番

## 地質圖主圖株式會社內

(72) 宋明季 史記 雜記

晋州市川口镇中安村上小里庄 18156

#### 地 网土通模式合作社

(72) 中国書局 政府

廣場景點地圖 5850 頁

舊約全書為何不直接稱為舊約全書呢？